

KOMPUTEROWA WERYFIKACJA UKŁADÓW CYFROWYH CMOS UTWORZONYCH Z PODUKŁADÓW ZASILANYCH ZE ŹRÓDEŁ O RÓŻNYCH WARTOŚCIACH NAPIĘCIA

Władysław SZCZEŚNIAK¹, Sławomir KOZIEL², Waldemar JENDEARNALIK¹, Lech HASSE¹
Piotr SZCZEŚNIAK³

1. Politechnika Gdańska, ul. G. Narutowicza 11/12, 80-952 Gdańsk
tel: +4858 3472178 fax: +4858 3471535 e-mail: {wlad, waldis, lhasse, }@pg.gda.pl
2. Department of Electrical and Computer Engineering, McMaster University, Hamilton, ON, Canada L8S 4K1
e-mail: koziels@mcmaster.ca
3. OBR Centrum Techniki Morskiej Gdynia, 81-109 Gdynia, ul. Dickmana 62
tel: +4858 6665403 fax: +4858 6665495 e-mail: piotr.szczesniak@ctm.gdynia.pl

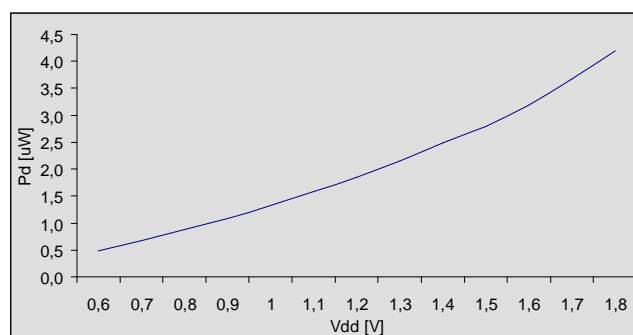
Streszczenie: W pracy zaprezentowano wyniki komputerowej weryfikacji cyfrowego układu CMOS utworzonego z klastrów C_{n-1} , C_{n-2} , ..., C_i , ..., C_0 , z których każdy jest zasilany odpowiednio malejącymi wartościami napięć $V_{ddn-1} > V_{ddn-2} > \dots > V_{ddi} > \dots > V_{dd0}$. Zbiór klastrów $\{C_i\}$ został utworzony przy pomocy algorytmu ECA (Evolutionary Clustering Algorithm) dla potrzeb redukcji mocy pobieranej ze źródła zasilającego. Otrzymane rozwiązanie charakteryzujące się zmniejszeniem zapotrzebowania na moc zasilającą nie powoduje pogorszenia przepustowości zaprojektowanego systemu cyfrowego CMOS.

Słowa kluczowe: redukcja poboru mocy, weryfikacja układu, układy CMOS

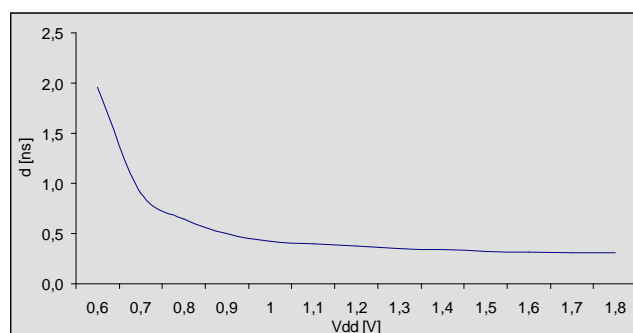
1 WSTĘP

Szybki wzrost liczby urządzeń przenośnych (telefony komórkowe, palmtopy, laptopy i inne) zasilanych z baterii spowodował intensywny rozwój badań mających na celu redukcję poboru ich mocy. W literaturze [2], [3] istnieje wiele rozwiązań tego problemu charakteryzujących się różnym poziomem efektywności. Większość zastosowanych w tej dziedzinie metod wykorzystuje algorytmy szeregowania zadań, w których przy założeniu wymaganego poziomu przepustowości (mocy obliczeniowej) systemu elektronicznego poszukuje się takich jednostek funkcjonalnych, których spowolnienie nie wpłynie na pogorszenie jego przepustowości. Przykładowa zależność mocy rozpraszanej i opóźnienia od napięcia zasilającego dla funkatora NAND zrealizowanego w technologii CMOS 0,18 μ m przedstawiono na rys. 1. Znane z literatury algorytmy stosowane do redukcji poboru mocy ze źródła zasilającego wykorzystują efekt dwu- lub czterokrotnego wydłużenia czasu pracy wybranych jednostek funkcjonalnych. Uzyskane w ten sposób

zmniejszenie napięcia zasilającego V_{dd} (rys.1b) prowadzi do zredukowania mocy rozpraszanej w rozpatrywanej jednostce funkcjonalnej ($P_d \sim V_{dd}^2$). Takie rozwiązanie jest jednak obciążone pewną niedogodnością.



(a)



(b)

Rys. 1. Zależność mocy rozpraszanej P_d (a) i opóźnienia d (b) od napięcia zasilającego V_{dd} dla dwuwęściowego funkatora NAND obciążonego jedną bramką, zrealizowanego w technologii CMOS 0,18 μ m

Z uwagi na dość znaczne różnice napięć między spowolnionymi jednostkami funkcjonalnymi i resztą układu pracującą z nominalną prędkością występuje konieczność zastosowania dodatkowych podukładów do konwersji poziomów napięć. Układy te niestety pobierają określoną moc ze źródła zasilającego, a to pogarsza poziom uzyskanej redukcji. Innym, lepszym rozwiązaniem jest metoda bezkonwerterowa zaproponowana w pracy [4].

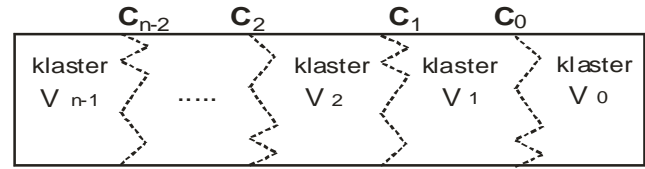
2 SFORMUŁOWANIE PROBLEMU

Podstawowe wymagania w odniesieniu do projektowanych układów cyfrowych CMOS z redukcją poboru mocy ze źródła zasilającego w skrócie przedstawiono we wstępie. Celem niniejszej pracy jest symulacyjna weryfikacja poprawnej pracy cyfrowych układów kombinacyjnych CMOS utworzonych z klastrów, które zostały wyznaczone przy pomocy algorytmu ECA (Evolutionary Clustering Algorithm) [1].

Każdy z utworzonych klastrów $C_{n-1}, C_{n-2}, \dots, C_1, C_0$, jest zasilany odpowiednio malejącymi wartościami napięć $V_{ddn-1} > V_{ddn-2} > \dots > V_{dd1} > \dots > V_{dd0}$. Podczas wyznaczania zbioru klastrów $\{C_i\}$ nie zostaje wydłużona ścieżka krytyczna. Oznacza to, że nowoutworzony układ zbudowany z n klastrów posiada taką samą przepustowość jak układ pierwotny (optymalizowany algorytmem ECA). Oznacza to, że w wyniku obniżania napięć zasilających kolejnych klastrów żadna ze ścieżek nie narusza warunku ścieżki krytycznej układu pierwotnego (bramki które nie są na ścieżce krytycznej, mogą działać wolniej przy niższym napięciu zasilaniem). W procesie tworzenia klastrów ECA zapewnia także spełnienie następujących warunków:

- $V_{ddi} - V_{ddi+1} < V_{st}$ dla $i = 0, 1, \dots, (n-2)$, gdzie V_{st} jest bezpieczną wartością różnicy napięć międzyklastrowych (wartość napięcia V_{st} wpływa natężenie prądu statycznego; połączenie klastrów, które eliminuje prądy statyczne przedstawiono na rys.2.)
- $-V_{ddi} - V_{ddj} > V_{st}$ dla $i - j > 1$,
- -każdy klaster ma inne napięcie,
- każdy klaster sąsiaduje co najwyżej z dwoma innymi klastrami,

Modelując optymalizowany układ kombinatoryczny wygodnie jest go opisać acyklicznym grafem skierowanym $G(V,E)$, w którym zbiór wierzchołków V reprezentuje bramki, zaś skierowane krawędzie $e_i \in E$ połączenia między nimi. Opóźnienia bramek są reprezentowane przez wierzchołki grafu. Uprozczone rozwiązanie przedstawionego problemu przy n napięciach zasilających przedstawiono na rys.3.



Rys. 3. Graficzna reprezentacja rozwiązania problemu utworzenia n klastrów

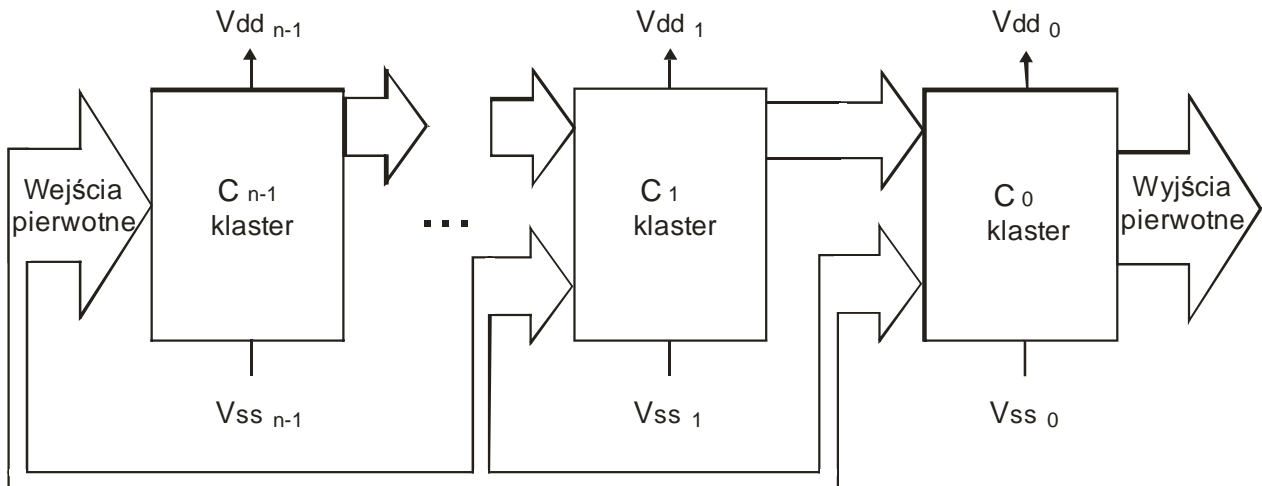
3 WYBRANE WYNIKI ALGORYTMU ECA

Algorytm ECE został przetestowany na przykładach testowych zaczerpniętych z biblioteki [5]. Prezentowane wyniki uzyskane dla dziesięciu przebiegów zawiera tablica 1.

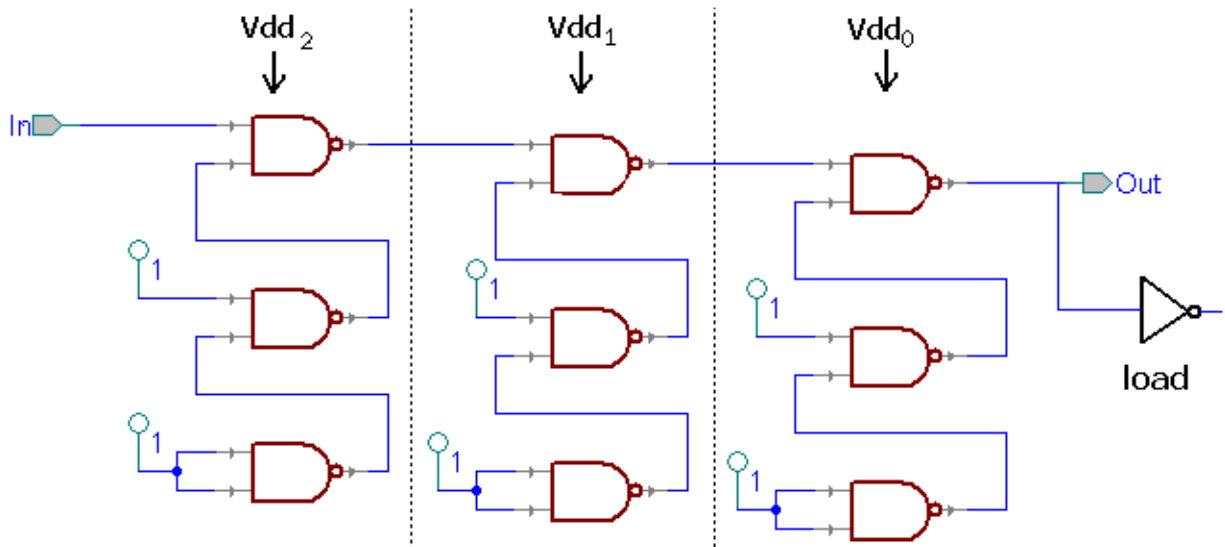
Tablica 1. Wyniki redukcji poboru mocy uzyskane przy pomocy algorytmu ECA

Układ	# wejść	# wyjść	# bramek	Redukcja poboru mocy w %		
				Max	Sr.	Od.st.
c499	41	58	202	7.6	6.3	0.8
c880	60	48	383	17.1	15.0	1.5
c1908	33	63	880	14.5	12.4	1.4
c3540	50	232	1669	11.1	10.4	0.7
c6288	32	32	2416	9.6	8.5	0.9

Uzyskane w tych przypadkach najlepsze rozwiązania dla trzech napięć zasilających klaster wyznaczających odpowiednio 1,8 1,3 i 0,8V zawierają się w



Rys. 2. Podziału układu na klaster, zasilane różnymi wartościami napięć w którym wyeliminowano prądy statyczne



Rys. 4. Schemat ideowy weryfikowanego układu

zależności od układu (benchmarku) w granicach od 7,6 do 17,1 %

Najmniejszy z układów poddany procesowi redukcji poboru mocy dla potrzeb metody bezkonwerterowej posiada kilkaset bramek. Stąd też nie jest możliwe przedstawienie go w tej pracy w formie schematu ideowego. Dla prezentowanej weryfikacji posłużono się bardzo prostym układem z rys. 4.

4 WERYFIKACJE DLA POTRZED ROZWIĄZAŃ BEZKONWERTEROWYCH

Jeden z weryfikowanych układów jest przedstawiony na rys. 4. Z uwagi na zastosowaną technologię liczba dopuszczalnych napięć zasilających klastry była ograniczona do trzech wartości, a mianowicie 1,8, 1,3 i 0,8V. Otrzymane oscylogramy przy różnych napięciach zasilających klastry przedstawia rys.5.

Uzyskane symulacje dla układu z rys. 4 potwierdzają poprawność działania układów w przypadku obniżenia napięć w kolejnych klastrach.

5 PODSUMOWANIE I WNIOSKI

Przeprowadzone weryfikacje symulacyjne umożliwiają wyznaczenie uzyskanych przebiegów na wyjściach wybranych bramek. Pozwala to również na określenie opóźnień czasowych w określonych ścieżkach sygnałowych. Jest to szczególnie istotne dla ścieżek zawierających spowolnione bramki.

W ten sposób można uzyskać potwierdzenie poprawności działania cyfrowych układów kombinacyjnych zrealizowanych w postaci klastrów, które zostały wyznaczone np. algorytmem ECA.

Podziękowania

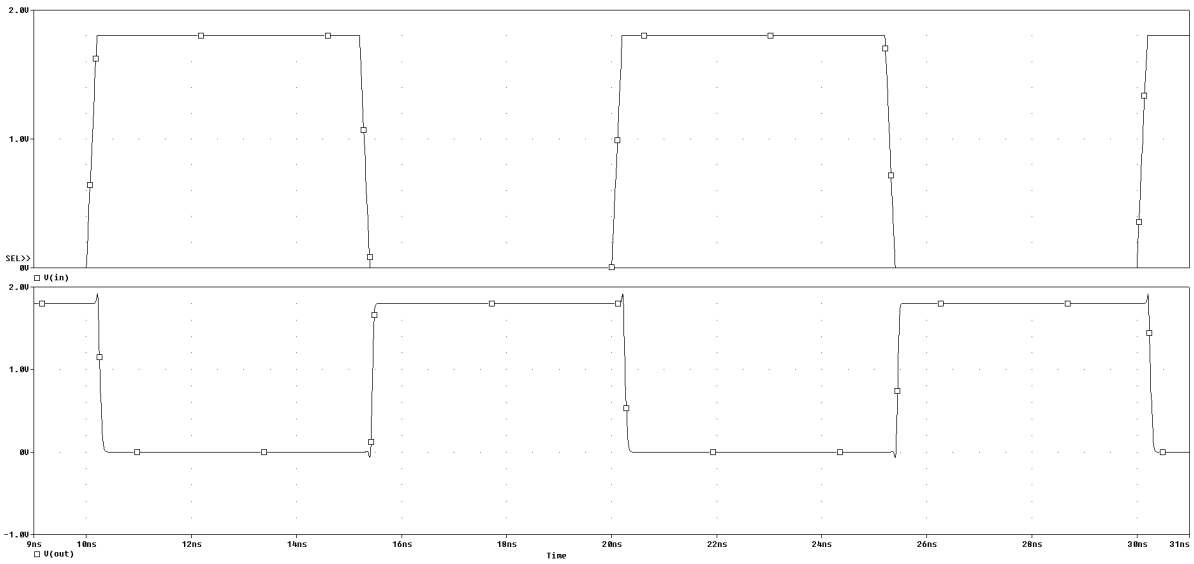
Niniejsza praca została w części sfinansowana przez Ministerstwo Nauki i Informatyzacji, grant nr 3T11B 015 27

6 BIBLIOGRAFIA

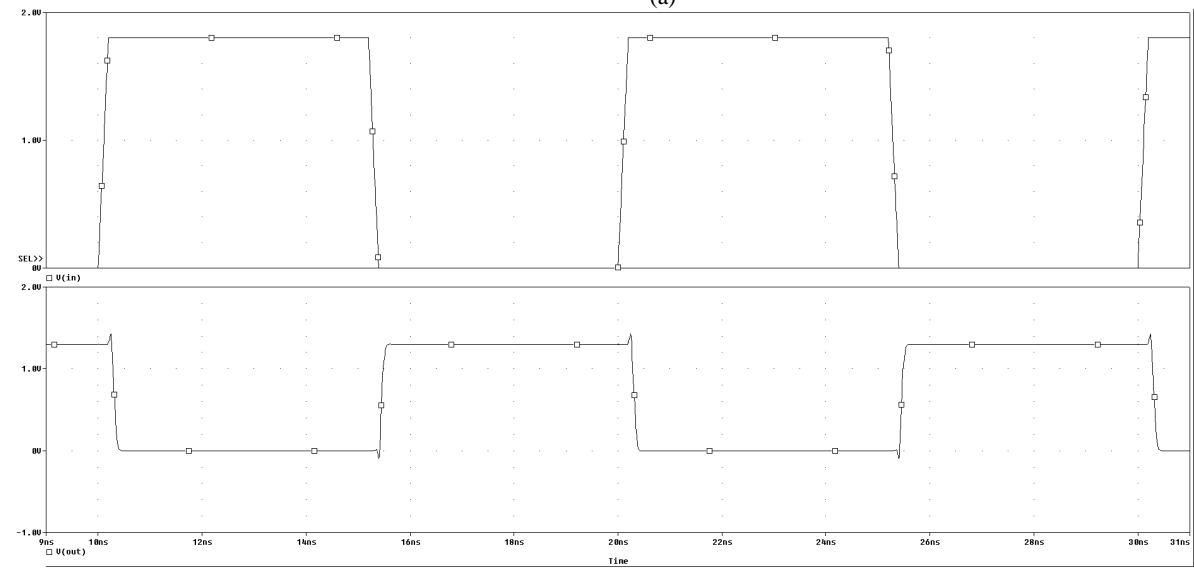
1. Kozieł S., Szcześniak W.: Knowledge-Based Evolutionary Algorithm for Low-Power CMOS Digital Circuits Design by Converter-Free Multiple-Voltage Scaling (w druku)
2. Rabaey J. M., Pedram M. (Eds.): Low Power Design Methodologies, Kluwer Academic Publishers, Dordrecht, 1996
3. Szcześniak W., Voss B., Theisen M., Becker J., Glesner M.: Influence of high-level synthesis on average and peak temperatures of CMOS circuits, *Microelectronics Journal*, vol. 32, s. 855-862, Oct. 2001, ISSN 0026-2692
4. Yeh Y.-J., Kuo S.-Y., Jou J.-Y.: Converter-free multiple-voltage scaling techniques for low-power CMOS digital design, *IEEE Trans. CAD Int. Circuits Syst.*, vol. 20, no. 1, pp. 172-176, Jan. 2001
5. Collaborative Benchmarking Laboratory, ftp.cbl.ncsu.edu

COMPUTER VERIFICATION OF A CMOS DIGITAL CIRCUIT CREATED BY SUBCIRCUITS SUPPLIED BY DIFFERENT VOLTAGES

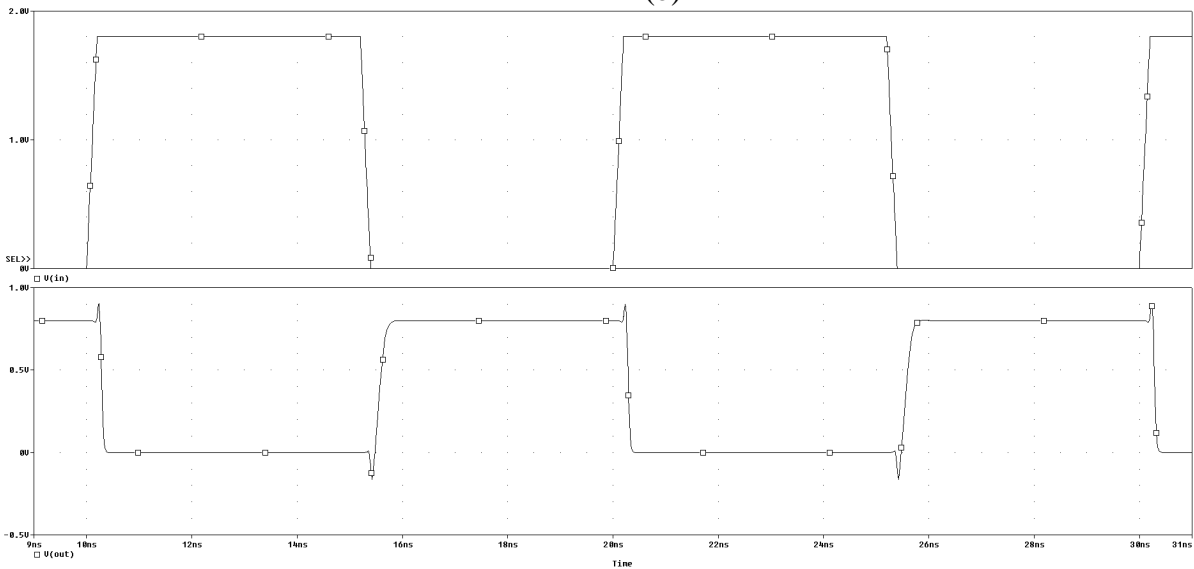
ABSTRACT: The paper presents results of a computer simulation of a CMOS digital circuit composed of C_{n-1} , C_{n-2} , ..., C_1 , ... C_0 clusters. The clusters are supplied with voltages $V_{ddn-1} > V_{ddn-2} > \dots > V_{dd1} > \dots > V_{dd0}$, respectively. Set of clusters $\{C_i\}$ was created with aid of ECA (Evolutionary Clustering Algorithm) for reduction of power dissipated. The obtained result enables for power reduction without deteriorating the throughput of the designed CMOS circuit, measured as system latency.



(a)



(b)



(c)

Rys.5. Oscylogramy uzyskane na wyjściach kolejnych klastrów zasilanych napięciami (a) 1,8V, (b)1,8; 1,3; 1,3V (c) 1,8; 1,3; 0,8V