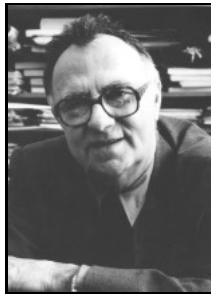


Ryszard ROSKOSZ, Dariusz ŚWISULSKIPOLITECHNIKA GDAŃSKA, WYDZIAŁ ELEKTROTECHNIKI I AUTOMATYKI,
Narutowicza 11/12, 80-233 Gdańsk**Mikroprocesorowy miernik impedancji pętli zwarciowej eliminujący wpływ odkształcenia napięcia przez regulację argumentu obciążenia pomiarowego****Dr hab. inż. Ryszard ROSKOSZ**

Emerytowany profesor Politechniki Gdańskiej. Autor i współautor ponad stu osiemdziesięciu artykułów oraz referatów w czasopiśmie naukowych lub materiałach konferencyjnych krajowych i zagranicznych. Twórca i współtwórca dwudziestu ośmiu patentów, z czego czternaście patentów na przyrządy pomiarowe zostało wdrożonych do seryjnej produkcji. Obszar zainteresowań obejmuje metrologię, systemy pomiarowe, pomiary elektroenergetyczne oraz jakość energii elektrycznej.



e-mail: rroskosz@ely.pg.gda.pl

Dr hab. inż. Dariusz ŚWISULSKI

Profesor w Katedrze Metrologii i Systemów Informatycznych na Wydziale Elektrotechniki i Automatyki Politechniki Gdańskiej. Autor lub współautor ponad stu pięćdziesięciu artykułów w czasopiśmie naukowych lub materiałach konferencyjnych oraz ponad dwudziestu wdrożeń w przemyśle. Obszar zainteresowań obejmuje metrologię, systemy pomiarowe, przetwarzanie sygnałów pomiarowych.



e-mail: d.swisulski@ely.pg.gda.pl

Streszczenie

W artykule przedstawiono problematykę pomiaru impedancji pętli zwarciowej w sieciach o napięciu odkształconym. Zaproponowano metodę pomiaru impedancji pętli eliminującą wpływ odkształcenia napięcia i zbudowano mikroprocesorowy miernik, który ją wykorzystuje. W mierniku zastosowano impedancyjne obciążenie pomiarowe o stałej wartości modułu i regulowanym automatycznie argumentem. Przy zrównaniu argumentu impedancji obciążenia pomiarowego do wartości argumentu impedancji pętli, w pełni eliminuje się wpływ wszystkich harmonicznych występujących w krzywej napięcia sieci, a wynik pomiaru zależy od największej różnicy wartości skutecznych mierzonych napięć.

Słowa kluczowe: Impedancja pętli zwarciowej, pomiary, napięcie odkształcone, ochrona przeciwporażeniowa.

Microprocessor fault loop impedance meter eliminating the influence of voltage distortion by adjusting the load impedance argument**Abstract**

The paper presents the problem of measuring the fault loop impedance in networks with a distorted voltage waveform. When testing effectiveness of a protective earthing system, it is necessary to know the measured value of the fault loop impedance. An accurate loop impedance measurement is needed for reliable operation of protective devices and, consequently, for the safety of human beings and apparatus. The measurement accuracy depends on the parameters of the tested circuit, the disturbances within the supplying system, and the measuring method and instrument used. Most present-day techniques for measurement of the fault loop impedance are based on determination of the voltage drop across the loop impedance when a known value measuring load impedance is switched ON and OFF between the conductors being tested. The loop impedance meters and methods which are used today may cause a large error in the measured impedance value due to reactance in the tested network and the distortion of voltage waveform. The proposed method for measuring the loop impedance eliminates the influence of voltage distortion on the measurement result. In the loop impedance meter there is used the measuring load impedance of constant magnitude and the argument adjusted automatically in steps. When the argument of load impedance equals the argument of the loop impedance, the impact of all harmonics present in the voltage waveform is eliminated, and the measurement result depends on the greatest difference of RMS measured voltages. The construction and measuring procedure of the model microprocessor loop impedance meter are simple, and the measurement result is indicated directly in ohms.

Keywords: fault loop impedance, measurement, distorted voltage waveform, electrical shock protection.

1. Wstęp

Pomiary impedancji pętli zwarciowej mają duże znaczenie przy wyznaczaniu prądu zwarcia jednofazowego w sieciach i instalacjach niskiego napięcia, zwłaszcza w celu sprawdzenia warunku

samoczynnego wyłączenia zasilania, który stanowi podstawowe kryterium oceny skuteczności ochrony przeciwporażeniowej w większości instalacji.

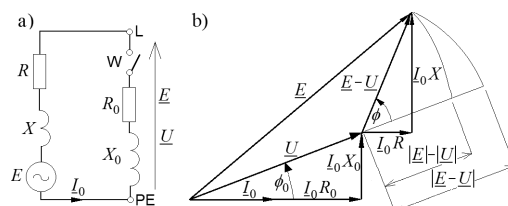
W badaniach stanu ochrony przeciwporażeniowej istotne znaczenie ma dokładność pomiaru parametrów pozwalających na ocenę skuteczności systemu ochrony. Odbiorcze oraz okresowe pomiary impedancji pętli zwarciowej w sieciach typu TN mogą jednak być obciążone znacznym błędem wynikającym z odkształcenia krzywej napięcia. Szczególnie groźne są błędy ujemne, bo w ich następstwie dopuszcza się do eksploatacji urządzenia o niesprawnej ochronie.

W sieciach typu TN oraz TT o napięciu odkształconym, ochroną obejmuje się wszelkie odbiorniki, także odbiorniki zakłócające [1]. W takich sieciach o ocenie skuteczności ochrony przeciwporażeniowej powinien decydować moduł impedancji pętli Z , określony przez harmoniczne podstawowe prądu i napięcia. Największa dopuszczalna wartość impedancji pętli zwarciowej, wynikająca z wymagań odpowiednich norm, powinna być mierzona dla harmonicznej podstawowej. W warunkach ruchowych udział harmonicznych w krzywej napięcia w miejscu pomiaru podlega dużym zmianom, natomiast składowa podstawowa SEM występuje zawsze i zakłada się, że ma wartość stałą. Jeżeli harmoniczna podstawowa prądu zwarciowego będzie wystarczająco duża, zostanie spełniony warunek samowylączenia. Ewentualne odkształcenie napięcia może skrócić czas zadziałania zabezpieczenia i wpłynie korzystnie na skuteczność ochrony.

2. Podstawy teoretyczne klasycznych metod pomiaru

Większość stosowanych [2, 3, 4, 5, 6] technik pomiaru impedancji pętli zwarciowej Z wykorzystuje tzw. metodę sztucznego zwarcia, polegającą na pomiarze dwu wartości napięcia w rozpatywanym miejscu: jedną E - przy wyłączonej i drugą U - przy załączonej impedancji obciążenia pomiarowego o znanej wartości Z_0 .

Zasadę pomiaru przedstawiono na rysunku 1. Rysunek 1a pokazuje schemat zastępczy obwodu badanego, natomiast rysunek 1b przedstawia wykres fazorowy.



Rys. 1. Zasada pomiaru impedancji pętli zwarciowej: a) schemat zastępczy, b) wykres fazorowy

Fig. 1. Principle of measurement of power system loop impedance: a) equivalent circuit, b) phasor diagram

Mierzona impedancję \underline{Z} ściśle określa zależność zespolona:

$$\underline{Z} = \underline{Z}_0 \frac{E - U}{U} = \underline{Z}_0 \left(\frac{E}{U} - 1 \right). \quad (1)$$

Ze względu na trudności praktycznej realizacji takiego pomiaru większość metod wykorzystuje zależność przybliżoną

$$Z_p = Z_0 \frac{E - U}{U} = Z_0 \left(\frac{E}{U} - 1 \right), \quad (2)$$

otrzymaną przez zastąpienie fazorów napięcia (\underline{E} , \underline{U}) ich modułami (E , U), co ułatwia konstrukcję mierników. Przy takim założeniu wartość względnego błędu pomiaru impedancji δZ_p jest określona wzorem:

$$\delta Z_p = \frac{Z_p - Z}{Z}, \quad (3)$$

gdzie: Z – rzeczywista wartość modułu impedancji, Z_p – zmierzona wartość modułu impedancji.

Na błąd pomiaru impedancji δZ_p największy wpływ mają czynniki związane z pomiarem napięć, a przede wszystkim:

- niezgodność argumentu impedancji pętli Z z argumentem obciążenia pomiarowego Z_0 ,
- odkształcenie, odchylenie i wahania napięcia sieciowego.

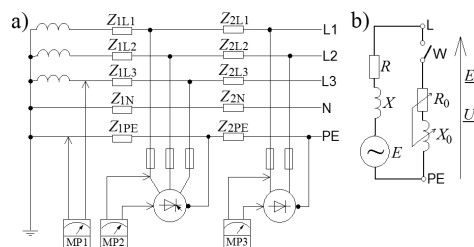
Ważną cechą miernika impedancji pętli zwarciowej jest jego błąd roboczy, który według normy [5] może osiągać aż 30%. Tak łagodne wymagania wynikają z faktu, że pomiar jest obciążony błędami spowodowanymi przez wiele różnych, przedstawionych wyżej niezależnych od siebie czynników. W praktyce mogą występować nawet przypadki znacznego przekroczenia dopuszczalnej wartości błędu.

W ramach prowadzonych przez kilkadziesiąt lat prac naukowo-badawczych [3, 7, 8, 9, 10, 11] na Wydziale Elektrotechniki i Automatyki Politechniki Gdańskiej opracowano wiele oryginalnych metod i przyrządów do pomiaru impedancji pętli zwarciowej wykorzystujących fazory mierzonych napięć, co pozwala eliminować wpływ czynników niekorzystnie wpływających na dokładność pomiaru. W latach 1970–1998 wdrożono do produkcji oryginalne [3, 8, 9] mierniki pętli zwarciowej typu MR (prod. Politechnika Gdańska oraz polonijna firma SAPEL w Gdańsku) oraz mierniki typu MIZ (prod. firma ERA w Warszawie). W miernikach tych, opartych na pomiarze maksymalnych wartości napięć, stosowano impedancję obciążenia pomiarowego z ręcznie nastawianym argumentem, dzięki czemu ograniczono wpływ głównych czynników wpływających na dokładność pomiaru.

3. Wpływ odkształcenia napięcia na pomiar impedancji pętli

Z punktu widzenia wrażliwości na odkształcenie krzywej napięcia, klasyczne metody pomiaru impedancji pętli można podzielić na dwie zasadnicze grupy. Do pierwszej zalicza się te, w których wynik pomiaru otrzymuje się na podstawie zależności (2) w oparciu o wartości skuteczne mierzonych napięć E_{sk} i U_{sk} . Drugą grupę stanowią szeroko stosowane mierniki specjalne, zawierające tyrystorowe łączniki pozwalające wymusić duży krótkotrwały prąd pomiarowy. Mierzona wartość otrzymuje się wtedy na podstawie wzoru (2) w oparciu o zapamiętane wartości maksymalne mierzonych napięć E_m i U_m .

Poniżej przedstawiono wybrane [8] wyniki badań wpływu odkształcenia napięcia na dokładność pomiaru impedancji pętli zwarciowej przy stosowaniu znanych metod i przyrządów pomiarowych. Rysunek 2 przedstawia schemat sieci badanej z oznaczonymi miejscami pomiaru.



Rys. 2. Pomiar impedancji pętli zwarciowej w sieci o odkształconej krzywej napięcia: a) schemat sieci z punktami pomiaru MP1, MP2 i MP3, b) schemat zastępczy obwodu badanego

Fig. 2. Measurement of power system loop impedance in a network with distorted voltage waveform: a) network with measurement points MP1, MP2 and MP3, b) equivalent circuit to be tested

Obliczenia impedancji pętli zwarciowej oraz błędu pomiaru przeprowadzono dla wielu przypadków charakteryzujących warunki pomiaru i parametry występujące w miejscu badania. Założono, że występują tylko błędy odkształcenia napięcia oraz od różnicy argumentów obu impedancji, a w krzywej napięcia zasilającego oprócz podstawowej (E_1) występuje jedynie trzecia (E_3), piąta (E_5) oraz siódma (E_7) harmoniczna o różnych wartościach udziału (a_1 , a_3 , a_5 i a_7) oraz o różnych kątach fazowych początkowych (α_1 , α_3 , α_5 , α_7).

Wartości chwilowe napięcia $e(t)$ przy otwartym łączniku W oraz napięcia $u(t)$ przy zamkniętym W opisują zależności:

$$e(t) = \sum_{k=0}^3 \sqrt{2} E_i a_i [\sin(\omega t + \alpha_i)] , \quad (4)$$

$$u(t) = \sum_{k=0}^3 \sqrt{2} U_i a_i [\sin(\omega t + \phi_{0i} + \alpha_i - \psi_i)] ,$$

gdzie: $i = 2k + 1$.

Argumenty impedancji obwodu badanego $\text{Arg}(\underline{Z} + \underline{Z}_0)$ i obciążenia pomiarowego $\text{Arg}(\underline{Z}_0)$ określają wzory:

$$\text{tg} \psi_i = \frac{i(X + X_0)}{R + R_0}, \quad \text{tg} \phi_{0i} = \frac{iX_0}{R_0}. \quad (5)$$

Natomiast skuteczne napięcia harmonicznych opisuje związek:

$$U_i = \frac{a_i E_1 \sqrt{R_0^2 + i^2 X_0^2}}{\sqrt{(R + R_0)^2 + (iX + iX_0)^2}}, \quad (6)$$

gdzie: $U_i = U_1, U_3, U_5, U_7$ (dla $i = 1, 3, 5, 7$) – wartości skuteczne napięcia harmonicznych przy zamkniętym łączniku W, R, R_0 – rezystancje, X, X_0 – reaktancje odpowiednio pętli zwarciowej oraz obciążenia pomiarowego.

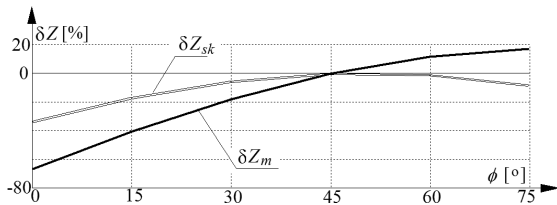
Wykorzystując wartości skuteczne oraz maksymalne napięcia odkształconego E_{sk} i U_{sk} oraz E_m i U_m zgodnie z wzorem (2) otrzymuje się mierzone wartości impedancji Z_{sk} oraz Z_m .

Znając rzeczywistą wartość impedancji pętli Z oraz wyznaczone na podstawie zależności (2) impedancje pętli Z_{sk} oraz Z_m można obliczyć błąd pomiaru δZ_{sk} oraz δZ_m z zależności:

$$\delta Z_{sk} = \left[\frac{Z_0 \left(\frac{E_{sk}}{U_{sk}} - 1 \right)}{Z} - 1 \right], \quad \delta Z_m = \left[\frac{Z_0 \left(\frac{E_m}{U_m} - 1 \right)}{Z} - 1 \right], \quad (7)$$

gdzie: E_{sk} i E_m – zmierzone napięcia przy otwartym W oraz U_{sk} i U_m – napięcia przy zamkniętym W.

Na rysunku 3 przedstawiono przykładowe wykresy błędów pomiaru δZ_{sk} i δZ_m w funkcji argumentu impedancji pętli zwarciowej ϕ dla silnie odkształconej siodłowej krzywej napięcia i średnich wartości prądu pomiarowego ($Z_0 = 10 \Omega$, $\phi_0 = 45^\circ$) przy pomiarze impedancji pętli $Z = 1 \Omega$.



Rys. 3. Błąd pomiaru δZ_{sk} i δZ_m przy odkształconej krzywej napięcia [8] w funkcji kąta ϕ dla $Z = 1 \Omega$, $Z_0 = 10 \Omega$ i $\phi_0 = 45^\circ$

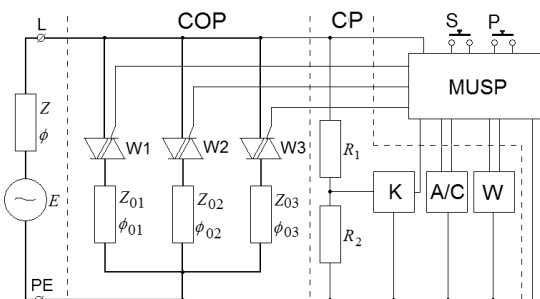
Fig. 3. Errors δZ_{sk} and δZ_m at distorted voltage waveform [8] as a function of phase angle ϕ for $Z = 1 \Omega$, $Z_0 = 10 \Omega$ and $\phi_0 = 45^\circ$

Przeprowadzona analiza [8] wpływu odkształcenia napięcia na dokładność pomiaru impedancji wykazała, że zależy on od rozwiązania miernika, parametrów obwodu badanego i stopnia odkształcenia.

Największe wartości osiągają błędy pomiaru δZ_m dla metod i mierników, w których wynik wyznacza się na podstawie wartości maksymalnych mierzonych napięć. Błąd δZ_m sięga -70% , a więc znacznie przekracza wartość dopuszczalną. Znacznie mniejszy jest wpływ odkształcenia napięcia na błąd pomiaru dla metod opartych na pomiarze skutecznych wartości napięć. Wyznaczone błędy w znacznym stopniu zależą nie tylko od różnicy argumentów ($\phi - \phi_0$), lecz także od tego, jakie harmoniczne, z jakim udziałem i jaką fazą występują w krzywej napięcia. Wykazano [8], że przy zrównaniu argumentu impedancji obciążenia pomiarowego do wartości argumentu impedancji pętli, tzn. gdy ($\phi = \phi_0$) w pełni eliminuje się wpływ wszystkich harmonicznych występujących w krzywej napięcia badanego, wówczas błędy pomiaru od harmonicznych mają wartość zerową ($\delta Z_{sk} = \delta Z_m = 0$). W praktyce błędy pomiaru wynikające z odkształcenia napięcia i różnicy argumentów można radykalnie zmniejszyć przez skokowe nastawianie argumentu ϕ_0 i stosowanie metod opartych na pomiarze skutecznych wartości napięć.

4. Model mikroprocesorowego miernika impedancji pętli zwarciowej

Uproszczony schemat blokowy mikroprocesorowego miernika impedancji pętli zwarciowej Z oraz jej składowych ortogonalnych (R i X), realizującego metodę z dopasowaniem argumentów [9, 12] pokazany jest na rysunku 4. Obciążenie pomiarowe stanowi impedor o stałej wartości modułu Z_0 i trzech różnych argumentach ϕ_{01} , ϕ_{02} i ϕ_{03} , a stosowana metoda [9] eliminuje wpływ wszystkich harmonicznych w krzywej napięcia. Model miernika wykonany został w ramach pracy dyplomowej [13] na bazie oryginalnych rozwiązań [8, 9, 12].



Rys. 4. Schemat blokowy modelu mikroprocesorowego miernika impedancji pętli zwarciowej z automatyczną regulacją argumentu

Fig. 4. Block diagram of the model of the microprocessor power system loop impedance meter with automatic adjustment of the argument

Opracowany model miernika ma schemat strukturalny podobny do opisanych we wcześniejszych pracach [8, 10] i składa się z trzech podstawowych zespołów. Pierwszym jest zespół obciążenia pomiarowego COP, zawierający trzy łączniki tyrystorowe W1, W2 i W3, szeregowo połączone z trzema impedancjami obciążenia pomiarowego Z_0 o jednakowych wartościach modułu $Z_0 = Z_{01} = Z_{02} = Z_{03} = 10 \Omega$, i różnych argumentach $\phi_{01} = 20^\circ$, $\phi_{02} = 40^\circ$ i $\phi_{03} = 60^\circ$. Zespół ten służy do wywołania krótkotrwałego sztucznego zwarcia.

Drugi zespół to człon pomiarowy CP z przetwornikiem analogowo-cyfrowym A/C o rozdzielczości 12 bitów. Mierzone napięcie jest doprowadzane z dzielnika (R_1 , R_2) na wejście przetwornika A/C, sterowanego jedną z linii wyjściowych mikroprocesora. Komparator K przetwarza sygnał sinusoidalny na ciąg impulsów równych okresowi napięcia sieci. Doprowadzenie tego sygnału na wejście czasowo-licznikowe mikroprocesora pozwala na pomiar okresu napięcia sieci.

Trzecim członem jest mikroprocesorowy układ sterująco-pomiarowy MUSP. Zawiera on pamięci, w których zapisany jest program obsługi miernika oraz przechowywane są bieżące wyniki pomiarów i obliczeń. W przestrzeni adresowej mikroprocesora umieszczone są układy wejściowe i wyjściowe, sterujące przetwornikiem analogowo-cyfrowym A/C oraz wyświetlaczem W. Mikroprocesor taktowany jest zegarem kwarcowym, a czas jednego cyklu maszynowego mikroprocesora wynosi ok. 1 μ s.

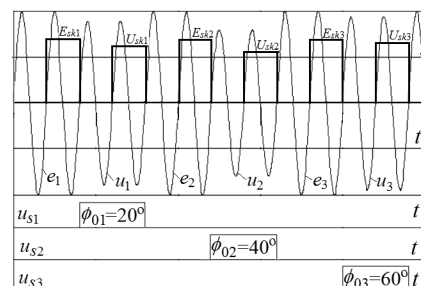
Miernik wykorzystuje opatentowaną metodę [9], która polega na pomiarze i zapamiętaniu wartości skutecznych napięcia E_{sk} przy otwartych łącznikach tyrystorowych W1, W2 i W3. Następnie, po załączeniu kolejno obciążenia pomiarowego Z_{01} , Z_{02} i Z_{03} zapamiętywane są wartości skuteczne napięcia U_{sk1} , U_{sk2} i U_{sk3} . Mierzone różnice arytmetyczne obu napięć ($E_{sk} - U_{sk1}$), ($E_{sk} - U_{sk2}$) i ($E_{sk} - U_{sk3}$) są zapamiętywane w układzie MUSP, a największa różnica skutecznych wartości napięć występująca w cyklu pomiarowym jest miarą wyznaczonej impedancji pętli zwarciowej. Pomiar jest realizowany z wykorzystaniem techniki cyfrowej. Dzięki przetwornikowi A/C mierzy i zapamiętuje się chwilowe wartości napięcia. Ich dalsze przetwarzanie i obliczanie wartości skutecznych wykonuje odpowiednia jednostka arytmetyczna. Rysunek 5 przedstawia przebiegi mierzonych napięć oraz sygnały sterujące załączaniem łączników tyrystorowych modelu miernika.

Mierzoną wartość impedancję pętli Z_{sk} oraz jej składowych R_{sk} i X_{sk} otrzymuje się z następujących zależności:

$$Z_{sk} = Z_0 \left(\frac{E_{sk} - U_{sk}}{U_{sk}} \right), \quad R_{sk} = Z_{sk} \cos \phi_0, \quad X_{sk} = Z_{sk} \sin \phi_0, \quad (8)$$

a wynik pomiaru jest przedstawiony na wyświetlaczu.

Dokładny pomiar impedancji według wzoru (1) opiera się na wyznaczeniu różnicy geometrycznej dwu napięć, które nie występują jednocześnie. Jak wynika z rysunku 1b i rozważań w poprzednim punkcie, błąd pomiaru wynikający z odkształcenia napięcia i różnicy argumentów nie wystąpi, gdy różnica arytmetyczna mierzonych napięć $|E| - |U|$ jest równa różnicy geometrycznej $|E - U|$, co zachodzi przy równości argumentów obciążenia pomiarowego ϕ_0 oraz badanej pętli ϕ , tzn. gdy $\phi_0 = \phi$.

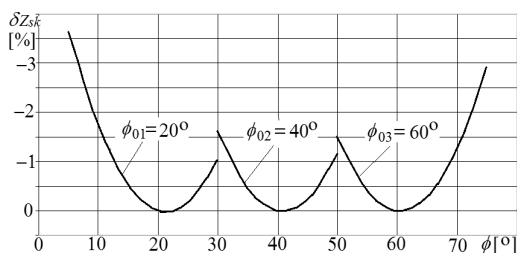


Rys. 5. Przebiegi sygnałów modelu miernika impedancji pętli zwarciowej
Fig. 5. Signal waveforms of the loop impedance meter

Norma VDE 0413 uznaje za dopuszczalny warunek $|\phi_0 - \phi| \leq 15^\circ$, który odpowiada pewnej niedokładności pomiaru.

Pomiar impedancji pętli przyrządem opartym na pomiarze wartości skutecznych napięć E_{sk} i U_{sk} w miejscu badania, obarczony jest błędem związanym głównie z odkształceniem krzywej napięcia i różnicą argumentów impedancji obwodu badanego oraz z błędami zespołów modelu układu miernika.

Dla określenia błędu pomiaru impedancji pętli δZ_{sk} w pracy [13] przeprowadzono analizę i badania modelu miernika impedancji pętli zwarciowej dla całego szeregu praktycznych parametrów charakteryzujących obwód badany i układ miernika. Obliczenia przykładowych błędów pomiaru wykonane zostały za pomocą specjalnego programu komputerowego, a wyniki obliczeń zestawiono w tablicach i w postaci szeregu wykresów ilustrujących wpływ czynników wpływających na błędy pomiaru.



Rys. 6. Błąd pomiaru $\delta Z_{sk} = f(\phi)$ przy odkształconej krzywej napięcia: $a = 0,1$, $b = 0,05$, $c = 0,03$ dla: $Z = 1 \Omega$; $Z_0 = 10 \Omega$; $\phi_0 = 20^\circ, 40^\circ, 60^\circ$

Fig. 6. Measurement error $\delta Z_{sk} = f(\phi)$ for distorted voltage waveform: $a = 0,1$, $b = 0,05$, $c = 0,03$, for: $Z = 1 \Omega$, $Z_0 = 10 \Omega$, $\phi_0 = 20^\circ, 40^\circ, 60^\circ$

Z przeprowadzonych badań wynika, że błąd δZ_{sk} miernika wynikający z odkształcenia krzywej napięcia nie przekracza 2% w zakresie zmian argumentu impedancji pętli ϕ od 10° do 70° .

Na rysunku 6 przedstawiono przykładowe wykresy błędów δZ_{sk} w funkcji kąta impedancji pętli ϕ dla średnio odkształconego napięcia oraz dla trzech kątów impedancji pomiarowej; $\phi_{01} = 20^\circ$, $\phi_{02} = 40^\circ$, $\phi_{03} = 60^\circ$, przy $Z_0 = 10 \Omega$ i $Z = 1 \Omega$.

W pracy [13] przeprowadzono również analizę wpływu nagrzewania uzwojenia cewki impedora obciążeniowego prądem pomiarowym na zmianę wartości modułu Z_0 i kąta ϕ_0 . Wyniki obliczeń wskazują na znaczny wpływ temperatury impedora na błąd pomiaru impedancji pętli δZ_T dla kątów $\phi_{02} = 40^\circ$, $\phi_{03} = 60^\circ$. Przy nagrzaniu impedora do temperatury 70°C błąd $\delta Z_T = 3,4\%$ dla $\phi_{03} = 60^\circ$. Błąd pomiaru związany z elementami układu mikroprocesorowego miernika i wyznaczeniem wartości skutecznych mierzonych napięć nie przekracza 1% i jest mniej znaczącym w porównaniu z głównymi źródłami błędów.

Model miernika impedancji pętli zwarciowej eliminujący wpływ odkształcenia napięcia [13], przedstawiony na rysunku 7, ma następujące podstawowe dane:

- napięcie znamionowe 230 V, 50 Hz (silnie odkształcone),
- zakres pomiaru od 0,01 do 200 Ω ,
- prąd pomiarowy 23 A/3×40 ms.



Rys. 7. Model mikroprocesorowego miernika impedancji pętli zwarciowej
Fig. 7. Model of the microprocessor loop impedance meter

5. Wnioski

Opracowany model miernika z automatycznie nastawianym argumentem impedancji obciążenia pomiarowego utrzymuje korzystne cechy wcześniejszych rozwiązań pomiaru impedancji pętli, eliminując wpływ czynników zakłócających wynik pomiaru, a jego główne cechy są następujące:

- umożliwia pomiar bardzo małych wartości impedancji pętli zwarciowej,
- eliminuje wpływ na wynik pomiaru wszystkich wyższych harmonicznych występujących w krzywej napięcia sieci,
- dokładność pomiaru impedancji pętli związana jest głównie z założoną różnicą argumentów ($\phi - \phi_0$) impedancji obwodu badanego oraz z dopuszczalną temperaturą nagrzewania impedora Z_0 . Z przeprowadzonych badań wynika, że przy stosowaniu 12-bitowego przetwornika A/C oraz procesora Atmel 89C52 błąd pomiaru dla silnie odkształconej krzywej nie przekracza 5%.

6. Literatura

- [1] Norma PN-HD 60364-6:2008. Instalacje elektryczne niskiego napięcia. Część 6. Sprawdzenie.
- [2] Masny J.: Pomiar impedancji pętli zwarciowej. Gospodarka Paliwami i Energią, 1987, nr 10.
- [3] Roskosz R.: Przyrządy typu MR do pomiaru impedancji pętli zwarciowej. Przegląd Elektrotechniczny, 1990, nr 6.
- [4] Nawrocki Z., Stafiniak A.: Analiza metrologiczna analogowego i cyfrowego miernika impedancji obwodu zwarciowej, Przegląd Elektrotechniczny, 1999, nr 10.
- [5] PN-EN 61557-3:2007E. Urządzenia przeznaczone do sprawdzania, pomiarów lub monitorowania środków ochronnych – Część 3: Impedancja pętli zwarcia.
- [6] Roskosz R.: A new method for measurement of earth fault loop impedance. IEEE Trans. on Power Deliv, 1991, vol. 6, nr 2.
- [7] Roskosz R., Swędrowski L., Lewandowski J.: Nowa metoda pomiaru rezystancji pętli zwarciowej w urządzeniach elektrycznych niskiego napięcia. Przegląd Elektrotechniczny, 1973, nr 5.
- [8] Roskosz R.: Nowe rozwiązania pomiaru impedancji pętli zwarciowej przy odkształceniu krzywej napięcia w miejscu pomiaru. Zeszyty Naukowe PG. Elektryka Nr 79. Gdańsk 1995.
- [9] Roskosz R., Sawicki J., Kurop Z., Szczepaniak M.: Sposób i układ do pomiaru impedancji pętli zwarciowej. Patent PL 166407 z dn. 31.05.1995 (Zgł. z dn. 22.05 1991).
- [10] Roskosz R., Świsulski D., Wrześniński F.: Mikroprocesorowe mierniki impedancji pętli zwarciowej oparte na wektorach mierzonych napięć. Materiały Konferencji SEP, Gdańskie Dni Elektryki 2009.
- [11] Roskosz R.: Nowe metody pomiaru impedancji pętli zwarciowej dużym pełnofalowym prądem pomiarowym bez wyzwalania wyłączników różnicowoprądowych. Miesięcznik SEP INPE Nr 172-173, Styczeń-Luty 2014.
- [12] Roskosz R.: Method and instrument for automatic measurement of earth fault loop impedance. IMEKO Proc., 5th TC-4 Symposium, Vienna 1992.
- [13] Lamcha A.: Mikroprocesorowy miernik impedancji pętli zwarciowej z automatycznie przełączanym argumentem impedora obciążenia pomiarowego. Praca dyplomowa pod kierunkiem R. Roskosza, Politechnika Gdańska, Gdańsk 2003.

otrzymano / received: 25.05.2014

przyjęto do druku / accepted: 01.07.2014

artykuł recenzowany / revised paper