

Niskomocowy komparator z zatraskiem przeznaczony do cyfrowego przetwornika obrazu CMOS

Streszczenie. W artykule zaproponowano realizację analogowego niskomocowego komparatora z zatraskiem przeznaczonego do cyfrowego piksela CMOS. Komparator zaprojektowano w technologii 0,35 μm CMOS. Układ zoptymalizowano pod kątem obniżenia poboru mocy ze źródła zasilającego i powierzchni topografii. W projekcie zastosowano techniki redukcji poboru mocy statycznej i dynamicznej. Komparator przebadano symulacyjnie w układzie cyfrowego piksela z przetwornikiem A/C typu single-slope. Układ zasilany napięciem 3,3 V pobiera moc 1,8 μW przy założeniu 100 tysięcy cykli konwersji A/C na sekundę i zajmuje powierzchnię 220 μm^2 .

Abstract. This article proposes realisation of a low power latched analog comparator dedicated for a CMOS digital pixel. The comparator was designed in 0.35 μm CMOS technology. The comparator was optimized for power consumption and layout area reduction. In design of the circuit techniques of static and dynamic power reduction was applied. The comparator was tested by simulation in a digital pixel using A/D single-slope converter. The comparator powered from 3.3 V supply consumes power of 1.8 μW at 100 thousands A/D conversion cycles per seconds and occupies an area of 220 μm^2 . (A low-power latched analog comparator for digital CMOS image sensor).

Słowa kluczowe: komparator analogowy, przetwornik obrazu CMOS, piksel cyfrowy, przetwornik analogowo-cyfrowy.

Keywords: analog comparator, CMOS image sensors, digital pixel, analog-digital converter.

Wprowadzenie

Obecnie prowadzone są badania nad scalonymi sensorami obrazu, które umożliwiają nie tylko rejestrację obrazu, ale również jego przetwarzanie w czasie rzeczywistym. Specjalnym rodzajem sensora obrazu jest tak zwany cyfrowy przetwornik obrazu CMOS [4, 5], który zawiera matrycę cyfrowych pikseli posiadających wbudowane przetworniki analogowo-cyfrowe (A/C). Matryca cyfrowych pikseli realizuje w pełni równoległą rejestrację obrazu, co umożliwia dalsze jego przetwarzanie, również w sposób w pełni równoległy. Zaawansowane cyfrowe przetworniki obrazu CMOS, tak zwane „vision chips” [2], zawierają w pojedynczym pikselu nie tylko przetwornik A/C, ale również procesor cyfrowy realizujący algorytmy przetwarzania obrazu. Zaletą w pełni równoległych matryc wizyjnych jest relatywnie duży stosunek mocy obliczeniowej do mocy pobieranej ze źródła zasilającego [2, 3]. O ile obniżenie poboru mocy układów cyfrowych jest stosunkowo łatwe do osiągnięcia, np. przez obniżenie napięcia zasilania, to obniżenie poboru mocy układów analogowych wciąż stanowi problem. Spośród układów analogowych znajdujących się w matrycy największy udział w poborze mocy mają komparatory napięciowe w przetwornikach A/C [6]. Porównują one napięcie z sensora światłoczułego, np. z fotodiody, z napięciem referencyjnym. Dla zachowania odpowiedniego zakresu dynamiki nie można obniżyć napięcia zasilającego zarówno sensora światłoczułego jak i komparatora. Zredukowanie poboru mocy komparatora można osiągnąć poprzez obniżenie prądów polaryzujących oraz zastosowanie techniki „power down”. Obniżenie prądów polaryzujących powoduje jednak spadek szybkości komparatora, a układ „power down” prowadzi do komplikacji budowy układu i zwiększenia powierzchni topografii.

W niniejszej pracy zaproponowano rozwiązanie komparatora analogowego, który spełnia wymagania dotyczące niskiego poboru mocy, dużego wzmocnienia, szybkości i małej powierzchni topografii. Zaproponowany układ zawiera dodatnie sprzężenie zwrotne zwiększające wzmocnienie i zwiększające szybkość narastania sygnału wyjściowego. Zwarta konstrukcja komparatora zawiera również układ zatrasku oraz automatycznego wyłączenia zasilania. Układ został zaprojektowany w technologii CMOS 0,35 μm i przebadany symulacyjnie.

Komparator

Budowa komparatora

Na rysunku 1 przedstawiono kompletny schemat elektryczny komparatora. Układ składa się z różnicowego stopnia wejściowego M1-M6 oraz dodatkowych dwóch stopni wzmacniających M7-M8 i M9-M10. Tranzystory M7-M8 i M9-M10 pełnią również rolę zatrasku. Każdorazowo w trakcie przejścia V_{out} ze stanu wysokiego w niski następuje zatrzaśnięcie stanu komparatora. Wtedy tranzystor M12 zamyka pętlę dodatniego sprzężenia zwrotnego pomiędzy inwerterami M7-M8 i M9-M10. Tranzystory M5, M7a i M11 służą do ograniczenia poboru prądu ze źródła zasilającego. W stanie statycznym układ zatrasku nie pobiera prądu ze źródła zasilającego, natomiast prąd polaryzujący stopień wejściowy zostaje odcięty przez tranzystor M5. W trakcie zmiany stanu zatrasku chwilowy pobór prądu ze źródła zasilającego ograniczają tranzystory M7a i M11.

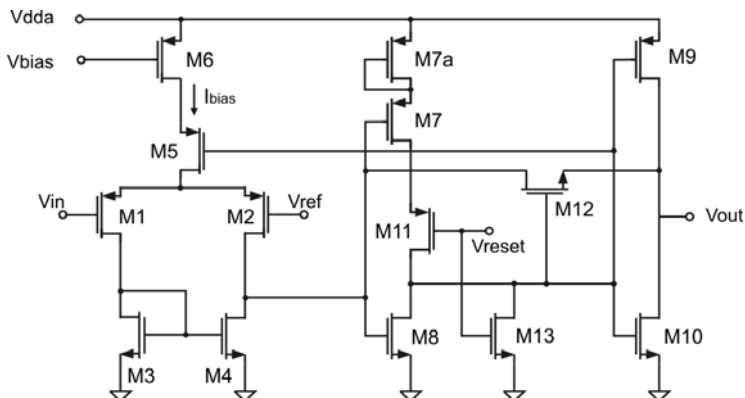
Zaproponowany komparator z rysunku 1 cechuje się następującymi właściwościami, które ułatwiają jego stosowanie w matrycy CMOS. W czasie porównywania sygnałów wejściowych układ nie wymaga sygnału zegarowego, który jest źródłem zakłóceń sygnału z fotodiody. Różnicowy stopień wejściowy (M1-M6) ma małą wrażliwość na zakłócenia przenikające z zasilania i zakłócenia sygnałów wejściowych o charakterze współbieżnym. Stopień ten ma też stosunkowo małe napięcie niezrównoważenia, które zależy od rozmiarów i wzajemnego położenia tranzystorów M1-M2 i M3-M4 [9]. Skalowanie rozmiarów tych tranzystorów pozwala na uzyskanie odpowiednio niskiego napięcia niezrównoważenia. Regulowany poziom napięcia odniesienia V_{ref} pozwala zmieniać próg przełączenia komparatora w zależności od warunków oświetlenia.

Piksel cyfrowy

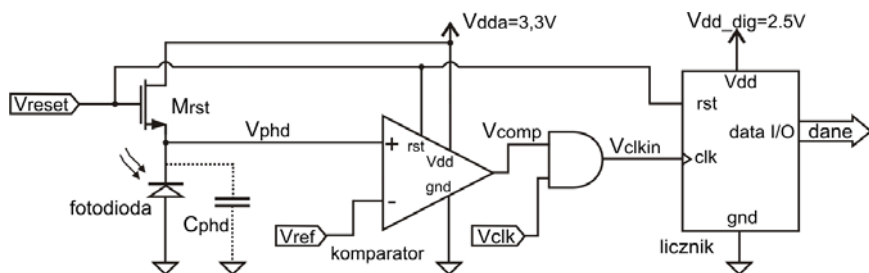
Zaproponowany komparator analogowy może być stosowany w pikselach cyfrowych z różnymi typami sensorów światłoczułych np. z fotodiodą lub z fotobramką MOS [1, 8] (ang. *MOS photogate sensor*). W celu weryfikacji działania komparatora zaprojektowano cyfrowy piksel z fotodiodą, którego schemat pokazano na rysunku 2. Komparator, bramka AND i licznik tworzą przetwornik A/C typu single-slope. Fotodioda pracuje w trybie całkowania (ang. *integration mode photosensor*) [1]. Komparator porównuje zmieniające się napięcie na fotodiodzie V_{phd} (rys.

3) ze stałym napięciem referencyjnym V_{ref} . W celu ilustracji działania układu z rysunku 2 przedstawiono na rysunku 3 typowe przebiegi sygnałów napięciowych w pikselu. Cykl konwersji A/C zaczyna się od podania impulsu reset o wartości 3,3 V na wejście V_{reset} . Wyjście komparatora V_{comp} przechodzi w stan wysoki 3,3 V. Pojemność fotodiody C_{phd} zostaje naładowana do napięcia początkowego $V_{phd0} \approx V_{dda} - V_{TH_Mrst} \approx 2,5$ V. Następnie, jak pokazuje rysunek 3, pod wpływem oświetlenia napięcie V_{phd} na fotodiodzie maleje

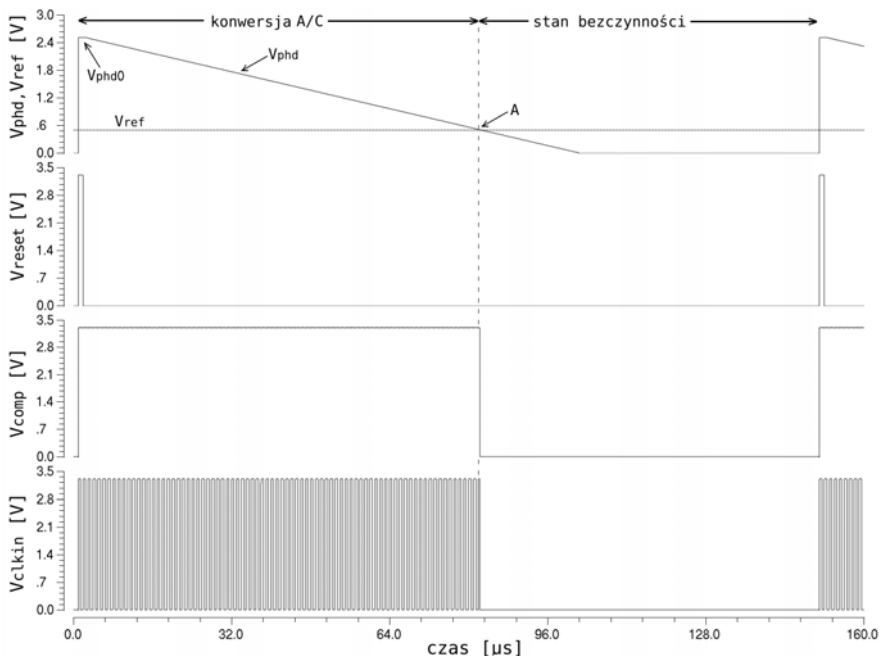
liniowo. Jednocześnie następuje zliczanie impulsów zegarowych V_{clkin} . W chwili, kiedy napięcie na fotodiodzie osiągnie wartość V_{ref} (punkt A na rysunku 3), napięcie na wyjściu komparatora V_{comp} przechodzi w stan niski i następuje zatrzymanie konwersji A/C. Stan licznika reprezentuje cyfrową wartość sygnału świetlnego. Po zakończeniu konwersji komparator przełącza się samoczynnie w stan niskiego poboru prądu.



Rys. 1. Schemat komparatora



Rys. 2. Piksel cyfrowy CMOS z przetwornikiem A/C typu single-slope



Rys. 3. Przebiegi sygnałów w pikselu cyfrowym z rysunku 2

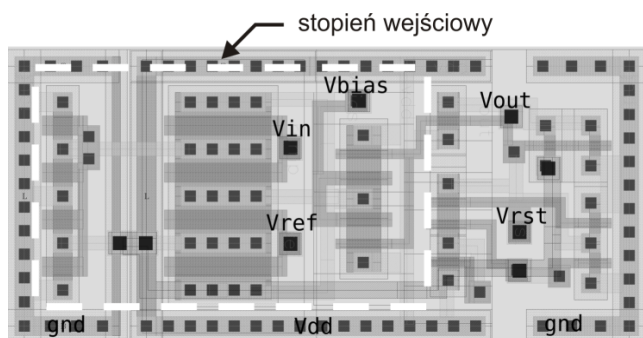
Redukcja poboru mocy komparatora

W zaproponowanym komparatorze z rysunku 1 zastosowano techniki obniżania poboru mocy statycznej i dynamicznej. W celu obniżenia poboru mocy statycznej

zastosowano wyłączenie prądu I_{bias} polaryzującego różnicowy stopień wejściowy. Prąd ten płynie tylko w trakcie konwersji A/C. Po jej zakończeniu prąd I_{bias} jest automatycznie wyłączany przez tranzystor M5.

Przeważającą część mocy dynamicznej komparatora pobiera układ zatrzasku M7-M8 i M9-M10. Jest to spowodowane przez wolnozmiennie sygnały na wejściu komparatora. Szybkość zmian napięcia na fotodiodzie przy niskim natężeniu oświetlenia może być mniejsza niż 1 V/s. Taki sygnał nawet po wzmocnieniu przez pierwszy stopień różnicowy narasta zbyt wolno, aby poprawnieysterować inwerter M7-M8. Wolno narastający sygnał powoduje duży prąd zwarcioowy tego inwertera. W celu zmniejszenia prądu zwarcioowego zastosowano technikę przyspieszania zbocza sygnału polegającą na dynamicznym aktywowaniu pętli dodatniego sprzężenia zwrotnego. Zmiana sygnału na wejściu inwertera M7-M8 jest wzmacniana i wykrywana przez tranzystor M12, który automatycznie zamyka pętlę sprzężenia zwrotnego. Dodatnie sprzężenie powoduje wzrost wzmocnienia układu, zwiększenie stromości zbocza sygnału V_{out} i sygnału na wejściu inwertera M7-M8. Zatrzask zapobiega wielokrotnym zmianom stanu komparatora, gdy napięcie na fotodiodzie jest bliskie V_{ref} , co dodatkowo ogranicza pobór mocy dynamicznej.

Napięcie na drenie tranzystora M4 osiąga maksymalną wartość około 2,6 V. Wartość ta jest zbyt niska do poprawnego załączenia inwertera M7-M8. Dlatego został dodany tranzystor M7a, który obniża próg załączenia inwertera. Tranzystor M11 służy do ograniczenia prądu zwarcioowego inwertera M7-M8 w trakcie stanu „reset”.



Rys. 4. Topografia komparatora z rysunku 1

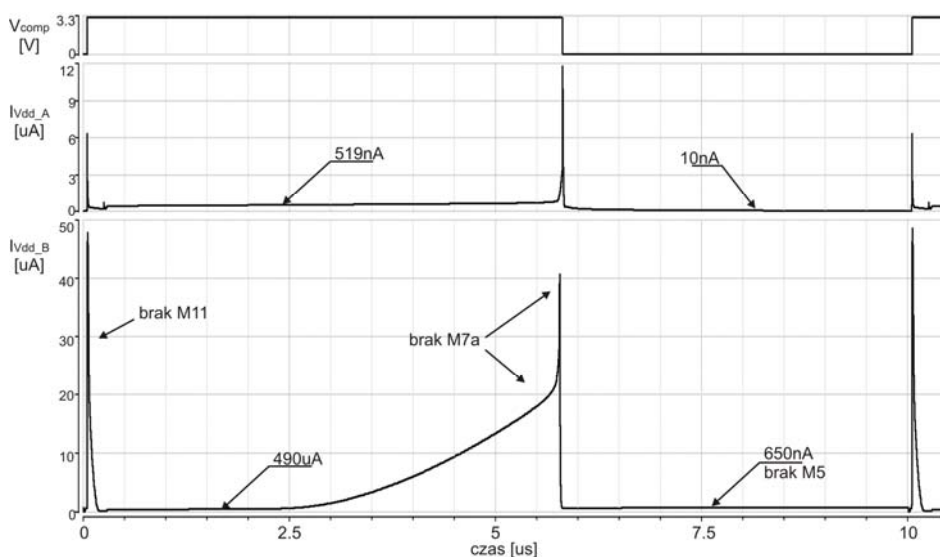
Wyniki symulacji

Komparator z rysunku 1 został zaprojektowany w technologii CMOS 0,35 μm Austria Microsystems z

przeznaczeniem do piksela cyfrowego o rozdzielczości 8 bitów. Dobierając wymiary tranzystorów kierowano się kompromisem pomiędzy powierzchnią topografii a parametrami elektrycznymi komparatora. Na przykład rozmiary tranzystorów stopnia różnicowego dobrano tak [9], aby uzyskać wejściowe napięcie niezrównoważenia poniżej 1 LSB ≈ 9 mV. Wymiary tranzystorów są następujące: $(W/L)_{1,2} = 7\mu\text{m}/0,7\mu\text{m}$, $(W/L)_{3,4} = 1,4\mu\text{m}/0,7\mu\text{m}$, $(W/L)_5 = 2,5\mu\text{m}/0,35\mu\text{m}$, $(W/L)_6 = 2,5\mu\text{m}/0,5\mu\text{m}$, $(W/L)_{7-11} = 0,4\mu\text{m}/0,35\mu\text{m}$. Przyjęto typowe dla technologii 0,35 μm napięcie zasilające równe 3,3 V oraz prąd polaryzujący parę różnicową równy 0,5 μA .

Na rysunku 4 przedstawiono topografię komparatora, która zajmuje powierzchnię $22\mu\text{m} \times 10\mu\text{m}$. Tranzystory stopnia wejściowego są położone możliwie blisko siebie i w tej samej orientacji, co zwiększa korelację ich parametrów i obniża napięcie niezrównoważenia komparatora. Pozostałe tranzystory mają minimalne rozmiary. Układ został szczegółowo przebadany symulacyjnie z uwzględnieniem elementów pasożytniczych związanych z topografią.

Z tego względu, że komparator jest dedykowany do matryc cyfrowych pikseli CMOS, największy nacisk położono na redukcję poboru mocy. Wynika to z faktu, że w takiej matrycy liczba komparatorów jest równa liczbie pikseli. Na przykład w matrycy o relatywnie małej rozdzielczości 128×128 pikseli znajduje się ponad 16 tysięcy komparatorów. W symulacjach badano pobór prądu komparatora ze źródła zasilającego podczas cyklu konwersji A/C piksela z rysunku 2. Na rysunku 5 pokazano przebiegi prądu zasilającego komparator przy założeniu 100 tysięcy cykli konwersji A/C na sekundę. Przebieg I_{Vdd-A} przedstawia prąd zasilający komparator w wersji zoptymalizowanej. Dla porównania poniżej przedstawiono prąd zasilający I_{Vdd-B} komparatora bez elementów (M5, M7a, M11) redukujących pobór mocy. Na wykresie zaznaczono również wpływ braku tranzystorów M5, M7a i M11 na przebieg prądu w trakcie przełączania komparatora. Dla układu zoptymalizowanego wartość skuteczną pobieranego prądu I_{Vdd-A} wynosi 0,56 μA_{RMS} . Bez elementów redukujących pobór mocy (M5, M7a, M11) wartość skuteczną prądu I_{Vdd-B} wzrasta trzynastokrotnie do wartości 7,7 μA_{RMS} .



Rys. 5. Przebiegi prądu zasilającego komparator w trakcie przełączania

Pozostałe symulowane parametry komparatora zestawiono w tabeli 1.

Tabela 1. Symulowane parametry komparatora z rysunku 1

Parametr	Wartość
Napięcie zasilania	3,3 V
Wzmocnienie napięciowe	> 30000 V/V
Wejściowe napięcie niezrównoważenia	7,8 mV (1 sigma)
Rozdzielczość	< 0,1 mV
Czas odpowiedzi	< 20 ns
Pobór mocy @ 100kHz	1,8 μ W
Napięcie wejściowe (ICMR)	0 - 2,5 V
Napięcie wyjściowe	0 - 3,3 V

Podsumowanie

W artykule opisano propozycję niskomocowego analogowego komparatora przeznaczonego do matryc cyfrowych pikseli CMOS. W układzie zastosowano techniki redukcji poboru mocy statycznej i dynamicznej. Wykorzystane techniki nie powodują nadmiernej komplikacji schematu elektrycznego układu i nie zwiększają powierzchni topografii. Komparator przebadano symulacyjnie w układzie cyfrowego piksela z przetwornikiem A/C typu single-slope. Badania symulacyjne wykazały skuteczność zastosowanych technik redukcji poboru mocy. Komparator pobiera moc 1,8 μ W przy założeniu 100 tysięcy cykli konwersji A/C na sekundę. Ze względu na krótki czas odpowiedzi wynoszący 20 ns zaproponowany układ może być również zastosowany w matrycach pikseli analogowych z kolumnowymi przetwornikami A/C.

Praca została częściowo sfinansowana ze środków Narodowego Centrum Nauki przyznanych na podstawie decyzji numer DEC-2011/03/B/ST7/03547.

LITERATURA

- [1] El Gamal A., Eltoukhy H., CMOS image sensors, *IEEE Circuits and Devices Magazine*, Vol. 21, Issue 3, 6-20, 2005
- [2] Dudek P., Carey S.J., A General-purpose 128x128 SIMD processor array with integrated image sensor, *Electronics Letters*, Vol. 42, no. 12, 678-679, June 2006
- [3] Lopich A., Dudek P., A SIMD Cellular Processor Array Vision Chip With Asynchronous Processing Capabilities, *IEEE Trans. Circuits Syst. I*, vol. 58, no. 10, 2420-2431, 2011
- [4] Kleinfelder S., Lim S., Liu X., El Gamal A., A 10 000 Frames/s CMOS Digital Pixel Sensor, *IEEE J. Solid-State Circuits*, vol. 36, no. 12, 2049-2058, 2001
- [5] Kitchen A., Bermak A., Bouzerdoum A., A Digital Pixel Sensor Array With Programmable Dynamic Range, *IEEE Trans. Electron Devices*, vol. 52, no. 12, 2591-2601, 2005
- [6] Snoeij M.F., Theuwissen A.J.P., Huijsing J.H., A 1.8 V 3.2 μ W comparator for use in a CMOS imager column-level single-slope ADC, *IEEE International Symposium on Circuits and Systems* 2005, Vol. 6, 6162-6165, 2005
- [7] Tongxi Wang, Xiwei Huang, Mei Yan, Hao Yu, Kiat Seng Yeo Cevik, I., Suat Ay, A 96x96 1V ultra-low power CMOS image sensor for biomedical application, *IEEE Asia Pacific Conference on Circuits and Systems (APCCAS)*, 2012, Vol. 1, 13-16, 2012
- [8] Jakusz J., Kłosowski M., Jendernalik W., Blakiewicz G., Pikselowy cyfrowy układ CDS przeznaczony do przetwornika obrazu CMOS, *Przegląd Elektrotechniczny*, nr 10 (2013), 83-85, 2013
- [9] Jendernalik W., Blakiewicz G., Jakusz J., Szczepański S., A nine-input 1.25 mW, 34 ns CMOS analog median filter for image processing in real time, *Analog Integrated Circuits And Signal Processing*, Vol. 76., 233-243, 2013

Autor: dr inż. Jacek Jakusz, Politechnika Gdańska, Wydział Elektroniki Telekomunikacji i Informatyki, ul. Narutowicza 11/12, 80-233 Gdańsk, E-mail: jacj@eti.pg.gda.pl.