

Bogdan BARTOSIŃSKI

POLITECHNIKA GDAŃSKA, WYDZIAŁ ELEKTRONIKI TELEKOMUNIKACJI I INFORMATYKI
ul. Gabriela Narutowicza 11/12, 80-233 Gdańsk

Testowanie układów cyfrowych z wykorzystaniem magistrali IEEE 1149.7

Dr inż. Bogdan BARTOSIŃSKI

Ukończył studia na Wydziale Elektroniki Politechniki Gdańskiej w 1974 roku. W 1985 r. uzyskał stopień doktora nauk technicznych. Od 1977 r. pracuje na Wydziale Elektroniki, Telekomunikacji i Informatyki, obecnie jako adiunkt w Katedrze Optoelektroniki i Systemów Elektronicznych. Autor ponad 40 publikacji z zakresu metrologii i diagnostyki elektronicznej. Zainteresowania naukowe to diagnostyka układów mieszanych sygnałowo, a w szczególności magistrale testujące.



e-mail: bbart@eti.pg.gda.pl

Streszczenie

Przedstawiono opracowaną w grudniu 2009 r. cyfrową magistralę testującą IEEE 1149.7 przeznaczoną do testowania i debugingu wielordzeniowych układów wbudowanych. W stosunku do magistrali IEEE1149.1, której jest rozszerzeniem, magistrala IEEE1149.7 zapewnia zredukowaną do dwóch liczbę wyprowadzeń, możliwość pracy w konfiguracji gwiazdowej, indywidualne adresowanie urządzeń, eliminację ze ścieżki brzegowej nieaktywnych układów, zarządzanie zasilaniem oraz rozszerzone możliwości debugingu oprogramowania układów mikroprocesorowych.

Słowa kluczowe: projektowanie ułatwiające testowanie, systemy wbudowane, magistrala testująca, IEEE 1149.7.

Fault detection in digital circuits using IEEE 1149.7 test bus

Abstract

The IEEE 1149.7 bus developed in December 2009, designed for testing and debugging of multi-core embedded circuits is presented in the paper. The IEEE 1149.7 bus is based on the idea of a boundary scan path and constitutes an extension of the testing bus IEEE 1149.1 widely used in industry [1] (Fig. 1). The properties of the IEEE 1149.7 [5] belong to classes T0–T5 (Fig. 2). Class T0 (Compliant Class) ensures compatibility with Standard IEEE 1149.1. Classes T1–T3 (Extended Classes) expand the possibilities of the IEEE 1149.7 Standard, whereas Classes T4–T5 (Advanced Classes) add new possibilities connected with two wire operation. In relation to the IEEE 1149.1 Standard, the IEEE49.7 bus provides the ability to quickly access a specific device in a system with multiple devices (Fig. 6), operation in a star topology (Fig. 7), reduced to 2 number of pin (Fig. 8), power management and extended possibilities of debugging microprocessor software. These properties facilitate considerably the testing of embedded SOC circuits and stacked die devices with many semiconductor structures in one IC package. The enhanced functionality and reduced number of pin in the IEEE 1149.7 do not interfere with co-operation with IEEE 1149.1 circuits, which allows going on with testing the earlier-developed procedures and infrastructure for IEEE 1149.1. It is expected that in the near future the IEEE 1149.7 bus will find even more support, as IEEE 1149.1, by the industry.

Keywords: Design for Testability, embedded systems, test bus, IEEE 1149.7.

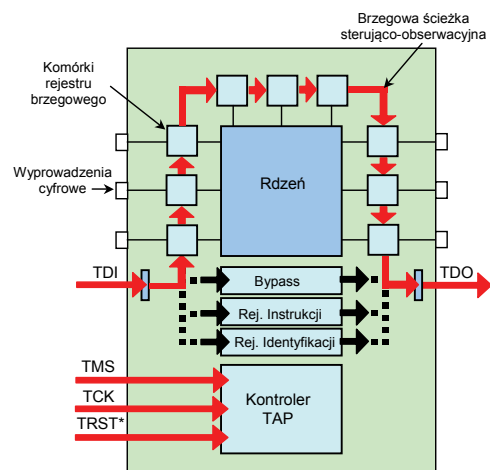
1. Wstęp

Wraz z postępem technologii wytwarzania urządzeń elektronicznych projektowanie ułatwiające testowanie DfT (Design for Testability) staje się kluczowym elementem osiągnięcia zysku z wyrobu. Testowanie, które na wcześniejszych etapach rozwoju elektroniki było niezależnym procesem w stosunku do projektowania wyrobu obecnie stało się jego integralną częścią. Jedną z bardziej efektywnych metod projektowania DfT jest zaimplementowanie w urządzeniach elektronicznych magistral testujących.

2. Geneza magistral testujących

Magistrale testujące oparte są na koncepcji brzegowej ścieżki sterująco-obsługowej. Idea ścieżki sterująco-obsługowej polega na umieszczeniu w układzie cyfrowym dodatkowych przerzutników połączonych z wybranymi węzłami układu. Rejestr, który łączy w szereg te dodatkowe przerzutniki tworzy ścieżkę sterująco-obsługową, którą możemy szeregowo przesyłać pobudzenia i odczytywać odpowiedzi z układu. Jeżeli dodatkowo w łańcuchu ścieżki umieścimy wszystkie wejścia i wyjścia układu, to ścieżka taka jest zwana brzegową ścieżką sterująco-obsługową (boundary scan path).

Pierwsza magistrala testująca IEEE 1149.1, zwana także od opracowującej ją grupy roboczej magistralą JTAG (Join Test Action Group) [1], została opracowana w 1990 r. Schemat blokowy układu scalonego wyposażonego w magistralę IEEE 1149.1 przedstawia rys. 1.



Rys. 1. Schemat blokowy układu scalonego wyposażonego w magistralę IEEE 1149.1

Fig. 1. Block diagram of an integrated circuit equipped with the IEEE 1149.1 test bus

Pomiędzy wyprowadzeniami a rdzeniem realizującym funkcje układu znajdują się rejestry brzegowe. Rejestry te pozwalają na odizolowanie rdzenia od wyprowadzeń. Dzięki temu poprzez ścieżkę brzegową można podawać pobudzenia i odbierać odpowiedzi z otoczenia układu scalonego, z wyeliminowaniem wpływu rdzenia.

Komunikacja z testowanym układem odbywa się poprzez 4-przewodową magistralę za pośrednictwem kontrolera TAP (Test Access Port). Układy są połączone szeregowo w łańcuch poprzez linie TDI (Test Data Input) oraz TDO (Test Data Output) a linie zegarowe TCK i sterujące TMS dołączone są równolegle do wszystkich układów w łańcuchu.

Najstarszą grupą układów wyposażonych w magistralę IEEE 1149.1 są elementy o nieskomplikowanej logice pierwotnej takie jak bufony, rejestry. Układy te wykonują funkcje użytkowe analogiczne jak ich standardowe odpowiedniki a dodatkowo dzięki magistrali mogą monitorować i wymuszać żądane stany logiczne na wyprowadzeniach. Przykładami takich układów są np. bufony SN74BCT8240 czy rejestry SN74BCT8373 firmy Texas Instruments.

Niemal od początku istnienia magistrali IEEE 1149.1 były w nią wyposażane również mikroprocesory, dzięki czemu możliwy był dostęp do wewnętrznych rejestrów rdzenia procesora i wymuszanie w nich określonych stanów czyli tzw. debugging. Przykładami takich układów są np. mikrokontrolery AT91SAM firmy Atmel, ADuC814 firmy Analog Devices.

Najmłodszą grupą układów wyposażonych w magistralę ułatwionego testowania są układy programowalne. W tym przypadku magistrala używana jest głównie do programowania (konfigurowania) układów. W tej grupie znajdują się m. in. układy CPLD i FPGA firm Lattice, Xilinx i Altera.

Oprócz magistrali IEEE 1149.1 przeznaczonej do testowania układów cyfrowych powstały w ostatnich latach dwie nowe magistrale testujące [2, 3]: w 2000 r. magistrala IEEE 1149.4 dla układów mieszanych sygnałowo a więc posiadających oprócz części cyfrowej część analogową oraz w 2003 r. magistrala IEEE 1149.6 dla złożonych układów cyfrowych sprzężonych pojemnościowo.

3. Magistrala IEEE1149.7

Dynamiczny rozwój w ostatnich latach systemów wbudowanych spowodował konieczność opracowania efektywnych metod ich testowania. W efekcie powstała w grudniu 2009 r. magistrala IEEE 1149.7 [4] przeznaczona do testowania i debugingu wielordzeniowych układów SOC (System on Chip) oraz wielu struktur półprzewodnikowych w jednej obudowie układu scalonego SoP (System-on-Package) czy PoP (Package-on-Package).

IEEE 1149.7 jest rozszerzeniem magistrali IEEE 1149.1 szeroko stosowanej w przemyśle od ponad 20 lat. IEEE 1149.7 dodaje nowe właściwości do istniejącego standardu IEEE 1149.1 lecz nie zastępuje go. IEEE 1149.7 zapewnia kompatybilność w dół z IEEE 1149.1, co pozwala wykorzystać opracowane wcześniej procedury testowania dla IEEE 1149.1.

W stosunku do magistrali IEEE1149.1 magistrala IEEE1149.7 zapewnia nowe właściwości takie jak:

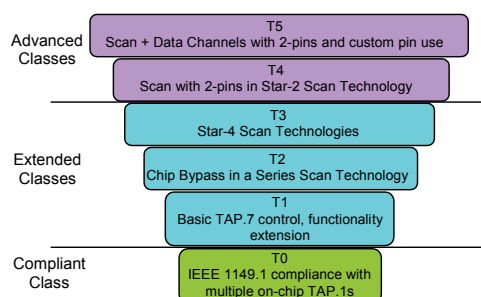
- zredukowana do 2 liczba wyprowadzeń,
- możliwość pracy w konfiguracji gwiazdowej,
- indywidualne adresowanie urządzeń,
- możliwość eliminacji ze ścieżki brzegowej nieaktywnych układów,
- zarządzanie zasilaniem (power management).

Właściwości te pozwalają na uproszczenie testowania układów wbudowanych zapewniając:

- uproszczone połączenia infrastruktury magistrali pomiędzy poszczególnymi układami,
- wsparcie dla wielordzeniowych układów SOC,
- rozszerzone możliwości debugingu oprogramowania układów mikroprocesorowych.

4. Klasy magistrali IEEE 1149.7

Wymienione wyżej właściwości magistrali są zawarte w 6 klasach T0-T5, przy czym wyższa klasa obejmuje właściwości niższych klas.



Rys. 2. Klasy magistrali IEEE 1149.7
Fig. 2. IEEE 1149.7 classes

Poszczególne klasy można podzielić (rys. 2) na 3 zasadnicze grupy:

- klasa T0 związaną z zapewnieniem kompatybilności ze standardem IEEE 1149.1,
- klasy T1-T3 (Extended Classes) rozszerzające możliwości standardu IEEE 1149.7,
- klasy T4-T5 (Advances Classes) dodające nowe zaawansowane możliwości związane z pracą dwuprzewodową oraz debugingiem i obsługą przyrządów wbudowanych w testowany układ.

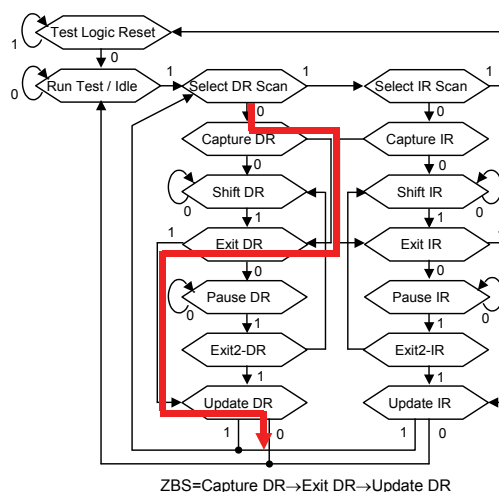
Klasa T0

Najniższa klasa T0 zapewnia zgodność z IEEE 1149.1, w tym N-bitowy rejestr instrukcji oraz 1-bitowy rejestr danych dla instrukcji BYPASS. 32-bitowy rejestr identyfikacji, który w IEEE 1149.1 był opcjonalny, tutaj jest obowiązkowy. Wszystkie obowiązkowe instrukcje z IEEE 1149.1 zachowują się w klasie T0 zgodnie z ich specyfikacją.

Klasa T0 zapewnia wsparcie dla wielościeżkowych (multi TAP) układów wytworzonych na jednej strukturze półprzewodnika - układy te z punktu widzenia magistrali 1149.7 są traktowane jak pakiety PCB i układy scalone dla magistrali IEEE 1149.1.

Klasa T1

Kolejna klasa T1 zapewnia mechanizm pozwalający na generowanie kodów rozkazów wykorzystywanych w wyższych (T2-T5) klasach oraz pozwala na 4 tryby Power-down, umożliwiając sterowanie zasilaniem logiki testującej. Mechanizm generowania kodów rozkazów przedstawiony jest na rys. 3.



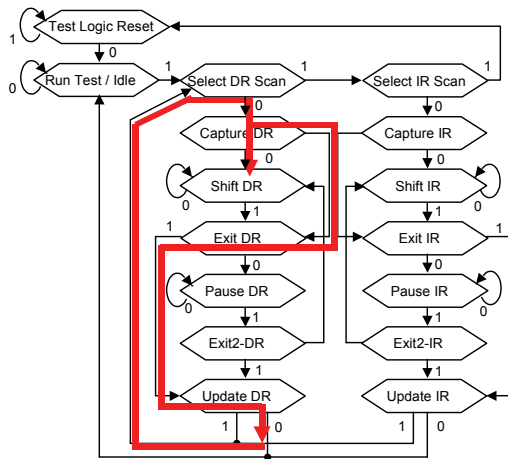
Rys. 3. Mechanizm generowania kodów rozkazów dla klas T2-T5 -zliczanie stanów ZBS

Fig. 3. Command code generation mechanism for classes T2-T5 – counting of ZBS states

Otrzymanie kodów rozkazów rozpoczyna się od określenia odpowiedniego poziomu sterowania. Poziom sterowania określa się zliczając stany ZBS (Zero bit DR Scans) sterownika TAP.

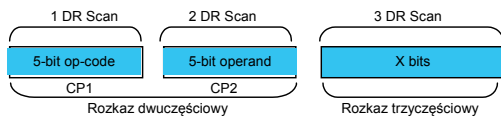
Sekwencja ZBS zaczyna się od ustawienia rejestru instrukcji na BYPASS lub IDCODE a następnie przejściu na grafie stanów sterownika TAP sekwencji Capture DR→Exit DR→Update DR.

Sekwencja ZBS w magistrali 1149.1 nie jest normalnie wykorzystywana i jej wykonanie w IEEE 1149.7 nie wywołuje żadnego efektu w 1149.1 i nie zakłóca jej pracy. Zakończenie zliczania stanów ZBS ma miejsce po pierwszym przejściu ze stanu Capture DR do stanu Shift DR (rys. 4).



Rys. 4. Ustalenie poziomu sterowania - liczba stanów ZBS w momencie osiągnięcia pierwszego stanu Shift DR
 Fig. 4. Fixing of control level - number of ZBS states in the moment of the first Shift DR state

Zapamiętana liczba stanów ZBS (1-7) ustala odpowiedni poziom sterowania. Dla kodów rozkazów poziom sterowania wynosi 2. Dla tego poziomu sterowania tworzony jest kod rozkazu dla klas T2-T5. Struktura kodu rozkazu przedstawiona jest na rys. 5.



Rys. 5. Struktura kodu rozkazu dla klas T2-T5
 Fig. 5. Command code structure for classes T2-T5

Pole CP1 tworzy 5 starszych bitów rozkazu a pole CP2 5 młodszych bitów rozkazu. Wartości CP1 i CP2 są tworzone przez zliczenie liczby stanów Shift DR pomiędzy stanem Capture DR i Update DR i obcięcie ich do 5 bitów.

10-bitowy kod rozkazu składający się z pól CP1 i CP2 określa funkcję realizowaną przez magistralę oraz czy rozkaz jest dwuczęściowy lub trzyczęściowy (dodatkowe trzecie pole CP3).

Istnieją tylko 3 trzyczęściowe rozkazy i są one wykorzystywane do wymiany danych między testowanym systemem DTS (Debug and Test System), kontrolerem IEEE1149.7 i innymi ścieżkami brzegowymi.

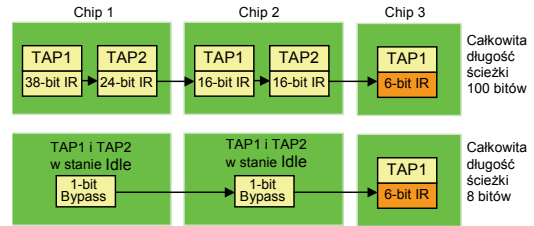
Należy podkreślić, że do tworzenia kodu rozkazu wykorzystywane są jedynie zmiany stanów sterownika TAP, bez przesyłania danych, a stąd potrzebne są tylko linie TMS i TCK, natomiast nie są potrzebne linie TDI i TDO. Mechanizm ten jest podstawą pracy w konfiguracji dwuprzewodowej używanej w klasie T4 i T5.

Klasa T2

Klasa T2 zapewnia mechanizm Bypass na poziomie chipu pozwalający na skrócenie ścieżki do 1 bitu zarówno dla rejestru instrukcji IR jak i rejestru danych DR (mechanizm Bypass w IEEE 1149.1 obejmował jedynie skrócenie ścieżki dla rejestru DR).

W aplikacjach zawierających wiele chipów powoduje to skrócenie czasu dostępu dożądanego układu bez konieczności szeregowego przesyłania informacji przez wszystkie układy w ścieżce. Jak widać na rys. 6 przesłanie informacji do rejestru instrukcji układu 3 wymaga tylko 8 zamiast 100 bitów.

Dodatkowo zastosowany mechanizm Bypass po włączeniu zasilania umożliwia fizyczne dołączenie systemu testującego DTS do pracującego systemu bez zakłócania jego pracy (Hot-Connect Protection).



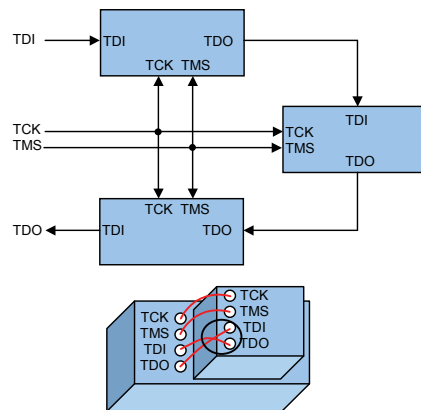
Rys. 6. Skrócenie ścieżki dla rejestru IR dzięki mechanizmowi Bypass na poziomie chipu
 Fig. 6. Scan path reduction for the IR register due to the Bypass mechanism on chip level

Mechanizm ten może również funkcjonować jako firewall umożliwiając dostęp do kontrolera TAP w danym chipie dopiero po przesłaniu określonej sekwencji inicjującej. Zapewnia to, że dołączenie DTS do systemu może być zrealizowane tylko wtedy, gdy system ma stabilne elektryczne połączenie.

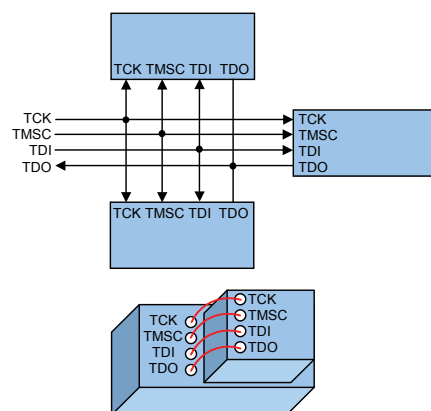
Klasa T3

W omawianych wcześniej klasach T0-T2 wykorzystana była konfiguracja szeregowo czteroprzewodowa. Konfiguracja taka jest użyteczna w przypadku zastosowania magistrali na pakietach PCB.

Jeżeli magistrala jest stosowana w MCM, PoP, SoP kłopotliwe staje się doprowadzenie sygnałów magistrali do poszczególnych struktur półprzewodnikowych jak to pokazano na rys. 6.



Rys. 6. Konfiguracja 4-przewodowa szeregowo
 Fig. 6. Serial 4 wire topology



Rys. 7. Konfiguracja 4-przewodowa gwiazdowo
 Fig. 7. Star 4 topology

W celu rozwiązania tego problemu w klasie T3 zastosowano konfigurację 4-przewodową, gwiazdową przedstawioną na rys. 7.

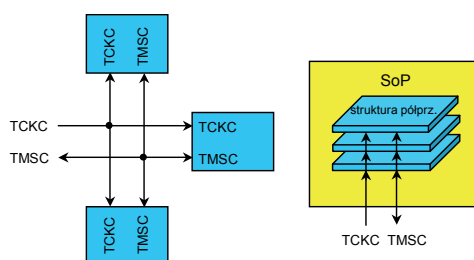
Konfiguracja taka umożliwia łatwiejsze, równoległe połączenie kontrolerów TAP na kilku strukturach półprzewodnikowych przy pomocy przepustów typu TSV (through silicon via) wykonywanych bezpośrednio w krzemie.

Dodatkowo w klasie T3 możliwe jest przypisanie ID poszczególnym kontrolerom i ich bezpośrednie adresowanie. W danym momencie czasu wymiana danych może odbywać się z udziałem tylko jednego wybranego kontrolera. Z punktu widzenia języka BSDL (Boundary-Scan Description Language) wykonywanie w dalszym ciągu wszystkich operacji odbywa się szeregowo.

W konfiguracji gwiazdowej linia TMS staje się dwukierunkowa i stąd została zmieniona jej nazwa na TMSC.

Klasa T4

W klasie T4 zostało zaimplementowana kluczowa cecha magistrali IEEE 1149.7, którą jest zredukowana do dwóch liczba wyprowadzeń. W tym celu z czteroprzewodowej konfiguracji gwiazdowej w klasie T3 wyeliminowano sygnały TDI i TDO. Konfigurację gwiazdową dwuprzewodową pokazano na rys. 8.



Rys. 8. Konfiguracja gwiazdowa dwuprzewodowa
Fig. 8. Two wire star topology

Konfiguracja ta pozwala w układach MCM, PoP, SoP na dalsze drastyczne uproszczenie połączeń między strukturami.

W celu zachowania (w pewnych przypadkach poprawienia) parametrów przy pracy dwuprzewodowej w klasie T4 może być dwukrotnie zwiększona częstotliwość zegara TCKC.

Klasa T5

Ostatnia, najbardziej zaawansowana klasa T5, jest przeznaczona przede wszystkim do debuggingu oprogramowania za pośrednictwem magistrali. Dodatkowo klasa ta pozwala na przesyłanie informacji za pomocą kanałów dedykowanych dla przyrządów (instrumentation channels) np. do emulacji.

Przesyłanie informacji i danych testowych odbywa się z wykorzystaniem tylko dwóch linii TMSC i TCKC. Klasa T5 zapewnia możliwość jednoczesnej normalnej pracy oraz testowania (dane są przesyłane w czasie stanu Idle) oraz pozwala na umieszczenie przez wytwórcę własnych dedykowanych rozwiązań.

5. Implementacja magistrali IEEE 1149.7

Pierwsza przemysłowa implementacją w pełni obejmującą wszystkie 6 klas magistrali IEEE 1149.7 została opracowana w formie IP w firmie Texas Instruments i obecnie pod nazwą Compact JTAG IP jest sprzedawana przez firmę IPextreme [5].

Compact JTAG IP obejmuje klasy T0-T5, wspiera wszystkie obowiązkowe i dodatkowe rozkazy IEEE 1149.7, pozwala na przesyłanie przez ścieżkę we wszystkich dostępnych formatach (JScan0-3, SScan0-3, OScan0-7, MScan), wspiera wszystkie 4 tryby Power Down oraz posiada mechanizm firewalla zapewniający opcję hot connection.

Compact JTAG IP jest rozwiązaniem modułowym, z którego w zależności od potrzeb można wybrać interesujące moduły:

- Extended Processing Unit (EPU) dla klas T0-T3,
- Advanced Processing Unit (APU) dla klas T4-T5,
- oddzielne moduły dla sygnału zegarowego i kondycjonowania sygnału zerującego.

W zależności od wybranej konfiguracji implementacja Compact JTAG IP wymaga użycia różnej ilości bramek. Dla przykładu pełna implementacja klasy T4 odpowiada ok. 2500 równoważnym bramkom. Klasa T5 z pełnym wsparciem kanałów dedykowanych dla przyrządów zawiera dodatkowo ok. 1300 równoważnych bramek.

6. Podsumowanie

Magistrala IEEE 1149.7 tworzy interfejs do testowania i debuggingu, który jest rozszerzeniem szeroko rozpowszechnionej magistrali IEEE 1149.1. Dzięki zredukowanej liczbie wyprowadzeń oferuje mechanizm dostępu, który jest dobrze przystosowany do wielordzeniowych układów SOC oraz wielu struktur półprzewodnikowych w jednej obudowie układu scalonego SoP czy PoP.

Oprócz mechanizmu dostępu przy zredukowanej liczbie wyprowadzeń IEEE 1149.7 oferuje właściwości pozwalające usprawnić proces debuggingu takie jak zarządzanie zasilaniem, dostęp do oprzyrządowania do debuggingu z wykorzystaniem tylko istniejących linii magistrali.

Zwiększona funkcjonalność i zredukowana liczba wyprowadzeń w IEEE 1149.7 nie przeszkadzają we współpracy z układami z IEEE 1149.1 w tym samym module czy pakiecie, co pozwala zachować opracowane wcześniej procedury testujące i infrastrukturę dla IEEE 1149.1.

Pozwala to żywić nadzieję, że magistrala IEEE 1149.7 w najbliższym czasie powinna tak, jak IEEE 1149.1 znaleźć szerokie wsparcie ze strony przemysłu.

7. Literatura

- [1] IEEE Std 1149.1-2001 Standard Test Access Port and Boundary-Scan Architecture, IEEE, (2001).
- [2] Bartosiński B.: Fault detection in electronic circuits using test buses, Metrologia dziś i jutro, praca zbiorowa, Politechnika Gdańska (2009).
- [3] Bartosiński B.: Współczesne trendy w diagnostyce układów elektronicznych z wykorzystaniem magistral testujących, Przegląd Elektrotechniczny, (2010), nr 9, 1-4.
- [4] IEEE Standard 1149.7 Standard for Reduced-pin and Enhanced-functionality Test Access Port and Boundary Scan Architecture, IEEE, (2009).
- [5] IEEE 1149.7 Compact JTAG Interface, IPextreme (2010). www.ip-extreme.com/downloads/cJTAG_brochure.pdf

otrzymano / received: 21.06.2011

przyjęto do druku / accepted: 03.10.2011

artykuł recenzowany