

XIII Seminarium
ZASTOSOWANIE KOMPUTERÓW W NAUCE I TECHNICIE 2003
Oddział Gdański PTETiS

**REALIZACJA FILTRÓW CYFROWYCH NA UKŁADACH
PROGRAMOWALNYCH**

Władysław SZCZEŚNIAK, Marcin ŁACKI

Politechnika Gdańska, Wydział Elektroniki, Telekomunikacji i Informatyki
ul. G. Narutowicza 11/12, 80-952 Gdańsk
tel: (058) 347 21 78 fax: (058) 347 15 35 e-mail: wlad@ue.eti.pg.gda.pl

Artykuł dotyczy opracowanego i przetestowanego projektu stanowiska laboratoryjnego do realizacji filtrów cyfrowych na układzie CPLD CY39100V208A z rodziny Delta39k, umieszczonego na Proto Board firmy Cypress. Wspomniany wyżej układ współpracujący z układem CPLD zawiera przetworniki A/C i C/A oraz mikrokontroler AVR z interfejsem RS-232. Część programowa tej pracy obejmuje projekt w języku VHDL filtru FIR zaimplementowanego wewnątrz układu programowalnego Delta39k (CPLD Proto Board). Prezentowany zestaw laboratoryjny umożliwia projektowanie własnych filtrów przez użytkownika i wysyłanie obliczonych współczynników filtru i innych jego parametrów do struktury zaimplementowanej wewnątrz układu programowalnego.

1. WPROWADZENIE

Cyfrowe przetwarzanie sygnałów (CPS) znajduje coraz szersze zastosowanie w wielu dziedzinach. Na różnorodność zastosowań algorytmów CPS duży wpływ miał postęp w technologii i produkcji wielkoseryjnej szybkich układów scalonych. Współczesne systemy CPS realizuje się przy użyciu sprzętu, stosując specjalizowane układy cyfrowe (układy programowalne lub układy ASIC) oraz programowo, przy użyciu mikrokomputerów i specjalizowanych procesorów sygnałowych. Nieustanny rozwój systemów CPS prowadzi do tego, że są one coraz tańsze i mogą przetwarzać sygnały w czasie rzeczywistym z bardzo dużymi szybkościami (częstotliwości próbkowania powyżej kilkuset MHz). Rozwój technologii wiąże się także ściśle z badaniami teoretycznymi związanymi z optymalizacją stosowanych algorytmów CPS. W cyfrowym przetwarzaniu sygnałów ważnym problemem jest filtracja sygnałów przez filtry cyfrowe.

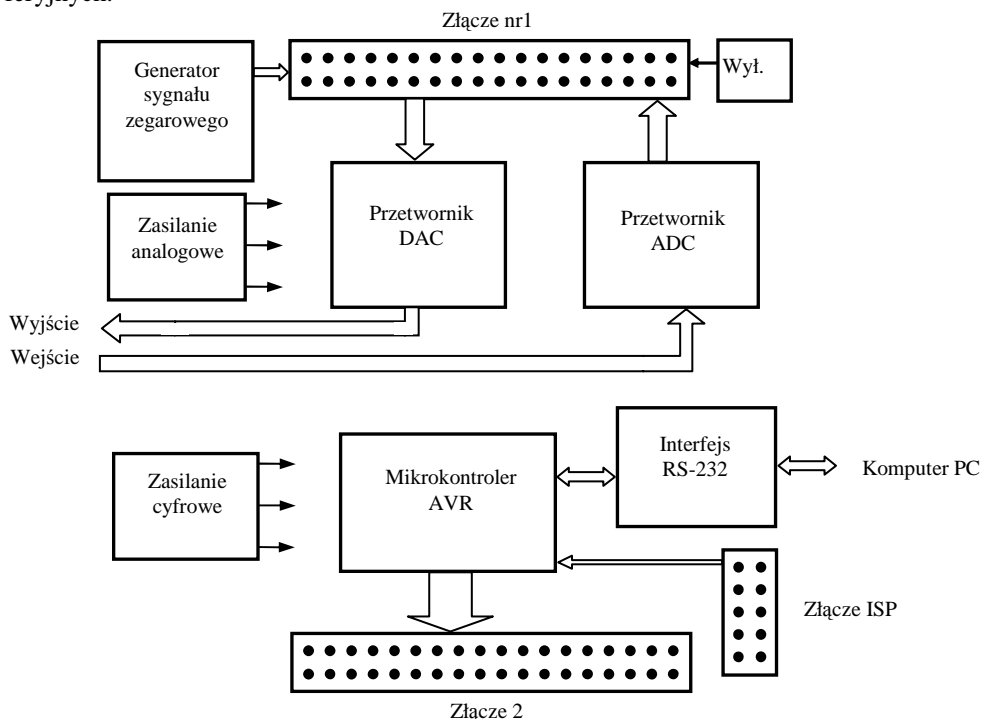
Niniejsza praca dotyczy układu laboratoryjnego do projektowania i prezentacji działania filtrów cyfrowych. W tym celu wykorzystano jeden z układów programowalnych CPLD (Complex Programmable Logic Device) a mianowicie CY39100V208A z rodziny Delta39k, umieszczony na płycie bazowej CPLD Proto Board firmy Cypress.

W celu zbudowania programowanego filtra cyfrowego działającego na CPLD Proto Board skonstruowano interfejs sprzętowy z wykorzystaniem: 12-bitowego przetwornika A/C Max186BCCP, 12-bitowego przetwornika C/A Max543BCPA, układu zasilania części analogowej i cyfrowej, generatora sygnału zegarowego, mikrokontrolera Atmel AVR AT90S2313-10PI oraz interfejsów szeregowych RS-232 i ISP (In System Programming). Płytką interfejsu jest nakładana na płytke bazową Cypress CPLD Proto Board.

Utworzone oprogramowanie dla układu programowalnego w języku VHDL pozwala zaimplementować wewnątrz układu CPLD Delta39k strukturę bezpośrednią filtrów o skończonej odpowiedzi impulsowej (FIR), na której są realizowane zaprojektowane przez studentów różne rodzaje struktur tego typu filtrów. Graficzny interfejs użytkownika, który powstał w środowisku Lab Windows CVI, służy do projektowania filtrów o skończonej odpowiedzi impulsowej poprzez obliczenie jego współczynników i wysłanie ich (oraz pozostałych parametrów filtru takich jak: częstotliwość próbkowania, długość filtru, mnożnik) do mikrokontrolera AVR. Jego głównym zadaniem jest z kolei nawiązywanie połączenia pomiędzy komputerem a układem programowalnym i synchronizacja całego procesu przesyłania danych.

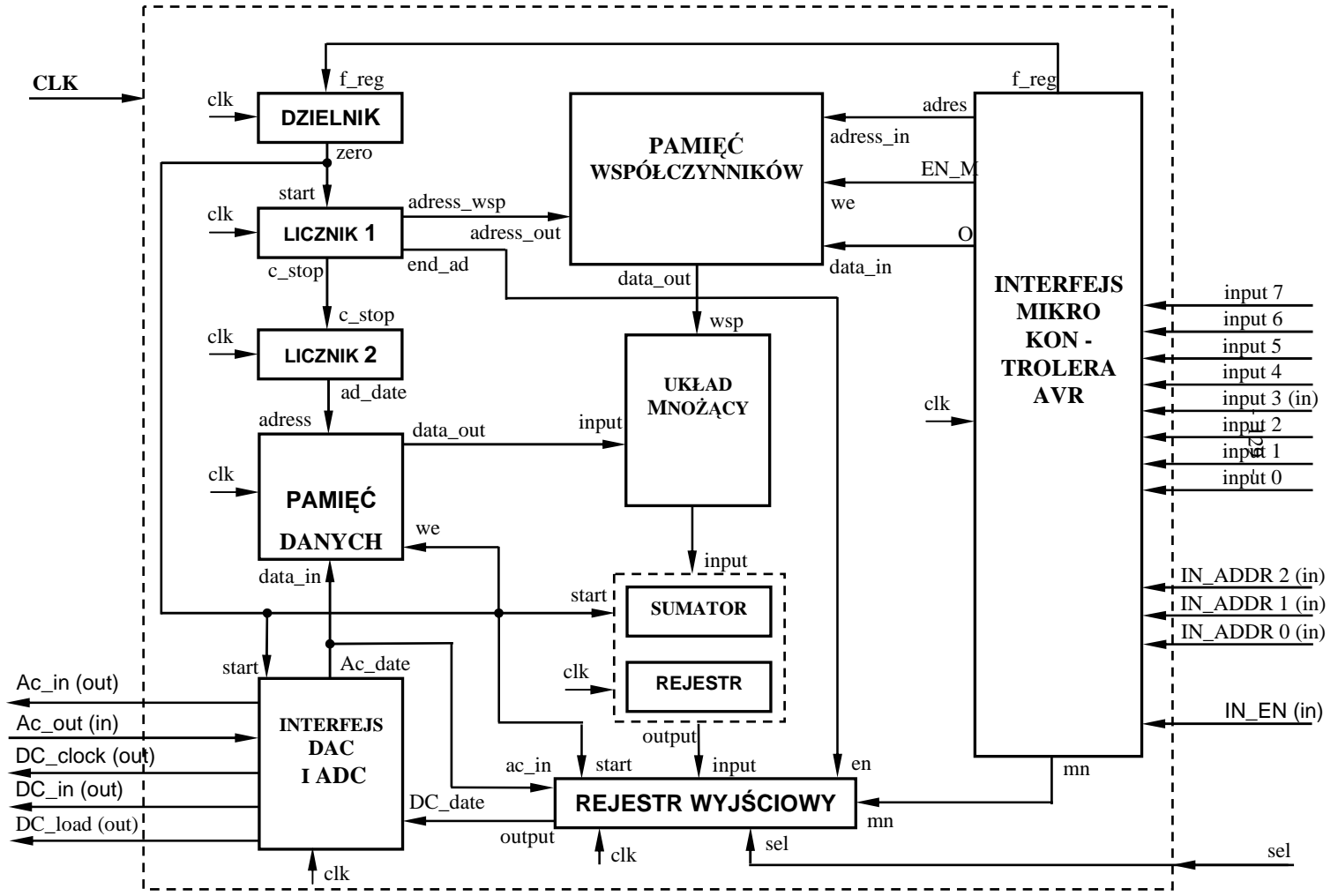
2. INTERFEJS SPRZĘTOWY DO UKŁADU CPLD PROTO BOARD

Na płytce CPLD Proto Board firmy Cypress poza układami programowalnymi z wyprowadzonymi końcówkami nie ma żadnych innych dodatkowych układów peryferyjnych.



Rys.1. Schemat blokowy układu do współpracy z płytką CPLD Proto Board.

Rys.2. Schemat blokowy zaimplementowanego filtra [1].



Z powyższego ograniczenia, dla potrzeb zrealizowania implementacji filtrów cyfrowych wynika konieczność zbudowania dodatkowego układu współpracującego z układem programowalnym Delta39k. Układ ten (rys.1.) pozwala zatem na realizację struktury i pracę filtru, a ponadto przy jego pomocy utworzono kanał komunikacyjny pomiędzy komputerem PC, a układem programowalnym, co umożliwia programowania filtru przez użytkownika.

Płytką drukowaną opracowanego układu ma dwa złącza przystosowane do połączenia z płytką CPLD Proto Board oraz złącze ISP (In System Programming) do programowania mikrokontrolera AVR.

3. OPISY PROGRAMÓW

3.1. Program mikrokontrolera AVR

Głównym zadaniem programu mikrokontrolera jest utworzenie kanału komunikacyjnego pomiędzy mikrokontrolerem i komputerem PC oraz synchronizacja i kontrola przepływu danych w tym kanale. Na początku programu występują zdefiniowane wcześniej rejestry pomocnicze, które będą wykorzystywane do przeprowadzania operacji na danych i zapamiętywania ich wyników oraz znajduje się importowany plik ze zdefiniowanymi rejestrami specjalnymi mikrokontrolera AT90S2313. W programie wykorzystano dwa przerwania: pierwsze z nich pochodzi od resetu, drugie zaś od interfejsu szeregowego UART [2]. Na początku programu znajduje się także zdefiniowana tablica ze współczynnikami filtru, który jest implementowany w momencie włączenia zasilania lub wystąpienia resetu. W ten sposób po każdorazowym włączeniu układu można stwierdzić, czy pracuje on poprawnie. Nie występuje wtedy stan nieustalony, gdyż pamięci są wypełniane znanymi wartościami. Po każdym resetie następuje inicjalizacja stosu i zapis do rejestrów wartości częstotliwości próbkowania (młodsza i starsza część) oraz mnożnik dla filtru, którego współczynniki są zapisane w tablicy 128x16.

3.2. Program główny [1]

Rysunek 2. przedstawia schemat blokowy realizacji struktury bezpośredniej filtru FIR. Linia przerywaną oznaczono w nim obszar działania programu głównego. Sygnały wejściowe i wyjściowe z tego bloku są sygnałami zewnętrznymi całego układu, pochodzącymi od przetworników, mikrokontrolera oraz generatora sygnałów zegarowych. Natomiast wszystkie połączenia wewnątrz oznaczają sygnały wewnętrzne, służące do komunikacji poszczególnych bloków funkcjonalnych między sobą.

Porty wejścia-wyjścia układu to:

- **CLK** – wejście zewnętrznego sygnału zegarowego, sterującego pracą całego układu,
- **Ac_in** – sygnał wyzwalający przetwornik analogowo-cyfrowy,
- **Ac_out** – sygnał z przetwornika analogowo-cyfrowego,
- **DC_clock** – sygnał zegarowy dla obu przetworników,
- **DC_in** – sygnał wejściowy przetwornika cyfrowo-analogowego,
- **DC_load** – sygnał wyzwalający przetwornik cyfrowo-analogowy,
- **input 0...7** – 8-bitowe wejście danych z mikrokontrolera AVR,
- **IN_ADDR 0...2** – 3-bitowe wejście informujące jaki jest rodzaj danych (współczynniki, adresy, częstotliwość próbkowania, dzielnik),

- **IN_EN** – wejście informujące układ, że dane na wejściu są ważne i należy je zapamiętać,
- **sel** – wejście włącz/wyłącz filtr, poziom wysoki oznacza, że filtr zostaje wyłączony i próbki z wejścia są podawane bezpośrednio na wyjście.

Najważniejszym zadaniem programu głównego jest połączenie przy pomocy sygnałów wewnętrznych wszystkich bloków funkcjonalnych. Poszczególne bloki w programie głównym istnieją jako komponenty. Każdy komponent ma zdefiniowane porty wejściowe i wyjściowe, do których są przypisane odpowiednie sygnały. Biorąc pod uwagę, że układy mnożące zajmują bardzo dużo miejsca w strukturze układów programowalnych oraz to, że w układach Delta39k można zmieścić zaledwie kilkanaście takich modułów, wykorzystano pamięci wewnątrz układu, a także zapamiętywanie próbek wejściowych i współczynników filtru. W takiej sytuacji wykorzystywany jest tylko jeden układ mnożący i jeden układ sumujący z rejestrem, który zapamiętuje kolejne wyniki. Właśnie te komponenty wykonują wszystkie operacje arytmetyczne w układzie. Próbki wejściowe 12-bitowe, pochodzące od przetwornika ADC są zapisywane w komórkach jednoportowej synchronicznej pamięci danych (128x12), która ma strukturę bufora kołowego. Pamięć ta jest adresowana przy pomocy licznika2. Natomiast 16-bitowe współczynniki filtru są zapisywane w dwuportowej asynchronicznej pamięci współczynników (128x16), której odczyt jest sterowany przez licznik1. Kolejne próbki z pamięci danych są podawane na wejście układu mnożącego wraz z kolejnymi współczynnikami. Wynik tej operacji jest podawany na wejście układu sumująco-pamiętającego, a suma wszystkich operacji mnożenia współczynników i próbek wejściowych zostaje wpisana do rejestru wyjściowego. W rejestrze wyjściowym wynik zostaje poddany operacji dzielenia. Dzieje się tak dlatego, gdyż współczynniki są wcześniej sztucznie zwiększane podczas operacji mnożenia przez określoną wartość w celu uzyskania dużej precyzji.

Współczynniki filtru ze względu na to, że mają bardzo małe wartości mniejsze od jednościami i różnią się między sobą w niewielkim stopniu zostały pomnożone przez taką wartość, aby można je było zapisać na piętnastu bitach. Dopiero po wykonaniu operacji arytmetycznych 34-bitowy wynik z układu sumującego jest redukowany do 12, a następnie wysyłany do przetwornika jako próbka wyjściowa filtru. Jest to jeden cykl obliczeniowy, każdy nowy cykl jest wyzwalany przez dzielnik.

W następnym cyklu pierwsza próbka wejściowa, która jest przechowywana w pamięci danych jest odrzucana, a na jej miejscu zapisywana jest nowa próbka wejściowa. Sygnał wyzwalający, który jednocześnie steruje częstotliwością próbkowania filtru, jest odpowiedzialny za sterowanie następującymi urządzeniami: licznikami, pamięcią danych, interfejsem DAC i ADC, układem sumująco-pamiętającym oraz rejestrem wyjściowym, zaś pozostałe moduły pracują niezależnie.

W momencie wyzwolenia następuje zapis nowej wartości wejściowej do pamięci danych, oba liczniki zaczynają adresowanie pamięci danych i współczynników, układ sumująco-pamiętający rozpoczyna sumowanie kolejnych iloczynów pochodzących z układu mnożącego, rejestr wyjściowy oczekuje na sygnał zakończenia procesu przetwarzania i wysyła jego wynik na wyjście. Większość komponentów pracuje jako układy synchroniczne sterowane globalnym sygnałem zegarowym. Tylko dwa moduły pracują asynchronicznie, są to: pamięć współczynników i układ mnożący. Celem takiego rozwiązania jest zapewnienie procesu filtracji w jak najkrótszym czasie i dążenie do tego aby rekonfiguracja filtru w czasie jego pracy nie powodowała powstawania stanów nieustalonych.



4. APLIKACJA STERUJĄCA PRACĄ ZESTAWU LABORATORYJNEGO

Podstawowym zadaniem aplikacji sterującej jest stworzenie prostego w obsłudze interfejsu użytkownika. Dlatego pierwszym krokiem było opracowanie interfejsu graficznego aplikacji.

Po uruchomieniu programu nie wszystkie pola są aktywne (razem jest 16 pól i przycisków), gdyż nie zawsze są one potrzebne. Pola te stają się aktywne po spełnieniu dodatkowych warunków, np. pole „Beta” uaktywnia się tylko wtedy, jeśli użytkownik wybiera okno Kaisera, natomiast przycisk „Send” będzie aktywny, jeżeli aplikacja nawiąże połączenie z układem.

5. WNIOSKI

Opracowany układ wraz z aplikacją na komputerze jest przeznaczony do laboratorium z cyfrowego przetwarzania sygnałów. Student podczas ćwiczenia będzie mógł sam zaprojektować własny filtr i przetestować jego fizyczne działanie.

Dopuszczalne jest również wykorzystanie wyników otrzymanych przy pomocy innych programów (np. MATLAB, Ptolemy), które dodatkowo posiadają możliwości przeprowadzenia symulacji zaprojektowanych filtrów. W ten sposób będzie można skonfrontować wiedzę teoretyczną na temat filtrów cyfrowych z rzeczywistym projektem.

6. BIBLIOGRAFIA

1. Łącki M. Opracowanie ćwiczenia laboratoryjnego: Realizacja filtrów cyfrowych FIR na układach programowalnych, Praca dyplomowa, Politechnika Gdańska, Gdańsk 2003.
2. Atmel: AVR Assembler User Guide, www.atmel.com.
3. Cypress: Delta39K™ ISR™ CPLD Family, www.cypress.com.

IMPLEMENTATION OF DIGITAL FILTERS ON PROGRAMABLE CIRCUITS

Abstract. This paper presents students' laboratory stand for implementing digital filters on Delta39k programmable circuit (on CPLD Proto Board produced by Cypress Co.).

The elaborated part of the stand contains A/C and C/A converters, the AVR microcontroller with the RS-232 interface.

Design process of digital filters can be carried out in the elaborated programme or for example in the Ptolemy software environment. Its results, the coefficients of digital filter and other parameters are send to the filter structure implemented in Delta39k programmable circuit.

